

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-276374

(43)Date of publication of application : 22.10.1993

(51)Int.CI.

H04N 1/40
 B41J 2/52
 G03G 15/00
 G03G 15/01
 G06F 15/62
 G06F 15/66
 G06F 15/66

(21)Application number : 04-068054

(71)Applicant : CANON INC

(22)Date of filing : 26.03.1992

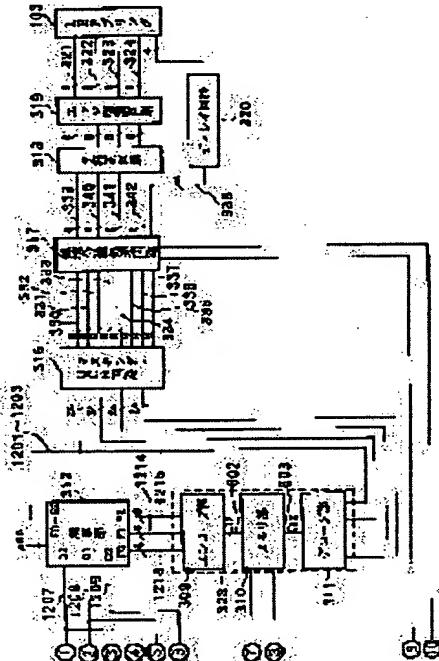
(72)Inventor : KURITA MITSURU

(54) PICTURE PROCESSING UNIT

(57)Abstract:

PURPOSE: To attain edit processing and black character processing compatible with each other between plural color multi-value pictures.

CONSTITUTION: In the case of implementing color synthesis of a multi-value color picture based on an area signal AR0 generated by an area generating section, when a 1st original is read, the AR0 signal is set to H in one page, ports D0-D2 are selected and outputs F0-F2 are inputted to an encoder section 309 in an arithmetic operation section 3. When a 2nd original is read, compression data are read from a picture memory in a memory section 310 with a read enable signal of magenta and a main scanning enable signal with a synchronizing signal DTOP, then expansion processing and inverse LOG transformation are applied, and color synthesis for the 1st and 2nd originals is implemented based on the AR0, a 3rd color picture signal is generated, and the signals F0-F2 are written again in the memory section 310 based on a write enable signal and the main scanning write enable signal.



LEGAL STATUS

[Date of request for examination] 26.03.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3260807

[Date of registration] 14.12.2001

BEST AVAILABLE COPY

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] 1st input means to input the picture signal of multiple color and a multiple value, and the 1st judgment means which judges a binary image field and a multiple-value image field based on the picture signal inputted with said 1st input means, A storage means to memorize the judgment result of the picture signal inputted with said 1st input means, and said 1st judgment means, 2nd input means to input the picture signal of multiple color and a multiple value, and the 2nd judgment means which judges a binary image field and a multiple-value image field based on the picture signal inputted with said 2nd input means, When generating the picture signal of multiple color and a multiple value based on the picture signal inputted by said 2nd input means, and the picture signal memorized for said storage means The image processing system characterized by having an image generation means to generate the picture signal of multiple color and a multiple value according to the judgment result of said 1st judgment means, and the judgment result of said 2nd judgment means.

[Claim 2] Said image generation means is the image processing system according to claim 1 characterized by to include a generation means generate the signal for image-area processing from the judgment result of said 1st judgment means, and the judgment result of said 2nd judgment means, and an image-area processing means perform image-area processing according to the signal generated with this generation means when performing an image processing according to the mode with an image-processing means and this image-processing means.

[Claim 3] Said storage means is an image processing system according to claim 1 characterized by memorizing further the picture signal generated with said image generation means, and the signal generated with said generation means.

[Claim 4] Said storage means is an image processing system according to claim 1 characterized by including a compression means to compress a picture signal, the memory which memorizes the data compressed with said compression means, and an extension means to elongate the data memorized in said memory.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention processes for example, an input image in digital one, and relates to the image processing system which performs various image processings to this.

[0002]

[Description of the Prior Art] In recent years, the color of a color copy is separated, it reads for every pixel, and the digital color copying machine which obtains digital color hard copy is spreading extensively by carrying out digital processing of the read image data, and outputting to a LBP (laser beam printer) color printer. With this kind of equipment, image data from the advantage that it can process in digital one Extract (drawing 1 (a)) and a desired image field, or (drawing 1 R> 1 (b)), [moving the output location of an image] that only a certain color in a desired field changes a color **** -- (-- inserting in a reflection copy the alphabetic character and image which were memorized by drawing 1 (c)) and memory **** (drawing 1 (d)) -- etc. -- various image processings are attained and application in the so-called field of a color copy is spreading. Furthermore, it consists of four drums in order to reply to the demand of improvement in the speed, and the technique which prints at a time one color on each drum, and is outputted to a LBP printer is proposed.

[0003] on the other hand -- a color reflection copy -- receiving -- an alphabetic character -- an alphabetic character -- it is -- seemingly an image is an image more -- ** -- the demand to say is increasing, image area separation separates the alphabetic character section and the image section to this, and high gradation processing is made for the processing which high resolving processing strikes with black monochrome to the alphabetic character section to the especially black alphabetic character section by the another side image section.

[0004] Furthermore, in the color copying machine which consists of four above-mentioned drums, the image memory which memorizes image data is indispensable.

[0005] Furthermore, edit processings (color composite etc.) of color multiple-value images were attained by using this image memory.

[0006]

[Problem(s) to be Solved by the Invention] However, although some what performs a black character manipulation to (1) reflection copy (input manuscript), things which perform edit processings (color composite etc.) of (2) color multiple-value images, and things which fill ***** and others or one side were proposed in the above-mentioned conventional example, there were both (1) and (2), i.e., the thing which performs edit processing to the multiple-value images by which image area distinction was carried out, respectively.

[0007] The place which this invention is made in view of the fault of the conventional example mentioned above, and is made into the object is in the point of offering the image processing system which enables coexistence with the edit processing between two or more color multiple-value images, and a black character manipulation.

[0008]

[Means for Solving the Problem] In order to solve the technical problem mentioned above and to attain the object, the image processing system concerning this invention 1st input means to

input the picture signal of multiple color and a multiple value, and the 1st judgment means which judges a binary image field and a multiple-value image field based on the picture signal inputted with said 1st input means, A storage means to memorize the judgment result of the picture signal inputted with said 1st input means, and said 1st judgment means, 2nd input means to input the picture signal of multiple color and a multiple value, and the 2nd judgment means which judges a binary image field and a multiple-value image field based on the picture signal inputted with said 2nd input means, When generating the picture signal of multiple color and a multiple value based on the picture signal inputted by said 2nd input means, and the picture signal memorized for said storage means It has an image generation means to generate the picture signal of multiple color and a multiple value according to the judgment result of said 1st judgment means, and the judgment result of said 2nd judgment means.

[0009]

[Function] According to this configuration, the 1st input means inputs the picture signal of multiple color and a multiple value. The 1st judgment means judges a binary image field and a multiple-value image field based on the picture signal inputted with the 1st input means. A storage means memorizes the judgment result of the picture signal inputted with the 1st input means, and the 1st judgment means. The 2nd input means inputs the picture signal of multiple color and a multiple value, and the 2nd judgment means judges a binary image field and a multiple-value image field based on the picture signal inputted with the 2nd input means. An image generation means generates the picture signal of multiple color and a multiple value according to the judgment result of the 1st judgment means, and the judgment result of the 2nd judgment means, when generating the picture signal of multiple color and a multiple value based on the picture signal inputted by the 2nd input means, and the picture signal memorized for the storage means.

[0010]

[Example] One suitable example which starts this invention with reference to an accompanying drawing below is explained to a detail.

<1st example> drawing 2 is the sectional side elevation showing the internal configuration of the digital color copying machine by the 1st example of this invention.

[0011] In drawing 2 , a color copy is read and it consists of laser color printers 103 which carry out the rendering output of the color picture according to a different digital picture signal of each color which has image support for every color and is sent from the reader section from the color reader section 101 which performs digital edit processing etc. further.

[0012] Drawing 3 and drawing 4 are the block diagrams showing the configuration of the digital-image-processing section in the color reader section 101 by the 1st example. In this drawing CCD and 302 301 A/D (analog digital) and a S/H (sample hold) circuit, 303 an input masking circuit and 305 for a shading compensation circuit and 304 A variable power circuit, 306 an alphabetic character detecting element and 308,312 for a color detecting element and 307 Operation part, 309 the memory section and 311 for an encoder and 310,313 The decoder section, 314 -- a selector and 315 -- a register and 316 -- in gamma (gamma) amendment circuit and 319, an E@JJI intensifier and 320 show a delay circuit and, as for masking and a UCR (lower color clearance) circuit, and 317, 329 shows [an image area separation processing circuit and 318] the field generation section, respectively. 321-327,330-338,339-342, 605, 606, 1207-1209, and 1419, 1420, 1510a, 1510b, 1505 and 1506 show the signal line.

[0013] Next, actuation by the above-mentioned configuration is explained.

[0014] The color copy on the manuscript base which is not illustrated is exposed with the halogen lamp which is not illustrated. Consequently, after a reflected image is picturized by CCD301 and sample hold is further carried out in the A/D-S/H circuit 302, A/D conversion is carried out, and the digital signal of three colors of R, G, and B is generated. Shading and the output of the operation part 308 which black amendment is carried out, it is further amended by the NTSC signal in the input masking circuit 304, and variable power, such as amplification and a cutback, is made in the variable power processing circuit 305, and is inputted into the color detecting element 306, the alphabetic character detecting element 307, and the operation part 308 mentioned later are memorized for each color-separation data by the memory section 313 in

the shading compensation circuit 303, furthermore, each which is outputted from the memory section 313 when performing two or more multiple-value color picture processings (for example, color picture composition) -- based on the instruction of CPU (register 315) which does not illustrate 1 bit among the alphabetic signal for CMYK, and a black signal, respectively, it is chosen by the selector 314, and the output is further reinputted to operation part 308.

[0015] Drawing 13 is the block diagram showing the configuration of the operation part 312 by the 1st example. In this drawing, 1204-1206 show ROM and, in a selector, 1201-1203, 1207-1209, and 1213-1215, 1210-1212 show the signal line, respectively.

[0016] Operation part 312 performs reverse LOG conversion, and consists of ROMs 1204-1206 and three selectors 1210-1215 which change a CMY signal into an RGB code.

[0017] Next, actuation with operation part 312 and the memory section 310 is explained.

[0018] Drawing 6 is the block diagram showing the configuration of the memory section 310 by the 1st example, and drawing 7 is the timing chart of the direction enable timing signal of vertical scanning by the 1st example.

[0019] In drawing 6, the signal line with which 601 transmits an image memory and 602,603 transmits image data, the generating section in which 604 generates each signal of RAS0, CAS0, and WE0, and 607 show the address counter, respectively.

[0020] This operation part 312 is a circuit which performs color composite of a multiple-value color picture based on an area signal (AR0). In this operation part 312, when the 1st manuscript is read, AR0 signal will be in the condition of "H" in 1 page. Consequently, D0-D2 (signal lines 1207-1209) are chosen by selectors 1210-1212, respectively, and outputs F0-F2 (signal lines 1213-1215) go into the encoder section 309.

[0021] Furthermore, these outputs F0-F2 are memorized by the memory section 313.

[0022] Next, when the 2nd manuscript is read, reading appearance of the compressed data is carried out from an image memory 601 by Read enabling 605b of a Magenta (MAGENTA) and horizontal-scanning enable signal 606b which made DTOP the synchronizing signal, extension processing goes out address counter 605 further, and reverse LOG conversion is further applied by ROMs 1204-1206. And based on AR0, color composite of the 1st manuscript and 2nd manuscript is carried out, and the 3rd color picture signal is generated. These signals F0-F2 (1213-1215) are again written in the memory section 310 by signal Write enabling 605a and horizontal-scanning write enable signal 606a based on DTOP12.

[0023] 328 is the companding section. It is outputted from the operation part 312 mentioned later, and R and G which were compressed in the encoder section 309, and B data are written in the memory section 310, it is elongated in the decoder section 311 and the YMC signal over each drum outputs the compressed code by which reading appearance was carried out more nearly further than the memory section 310. One YMC signal is reinputted among them to the operation part 312 which performs color multiple-value image composition.

[0024] furthermore, masking of 4 classification by color and UCR should be applied in masking and the UCR circuit 316, and the image area separation processing based on the result of the alphabetic character detecting element 306, the color detecting element 307, and operation part 308 should ** further in the image area separation processing circuit 317 -- **. In operation part 318, in gamma amendment and the edge intensifier 319, edge enhancement is applied and the data of 4 classification by color are outputted to the LBP printer 103. Moreover, in the delay circuit 320, synchronous doubling with a video signal (signal lines 321-324) and the switch signal for high resolving / high gradation processing processed by the LBP printer 103 is performed.

[0025] 329 is a part which generates the video select signals AR0 and AR1 in the writing of the memory section 310,313, horizontal scanning of read-out, vertical-scanning enabling, and operation part 312,308 based on DTOP (signal line 325) which is the field generation section and is the output of a drawing point sensor, ITOP (signal line 326) which is the output of a paper point sensor, and Horizontal Synchronizing signal HSNC (signal line 327).

[0026] In the LBP printer section 103 of drawing 2, 201 is a polygon scanner which makes the laser beam generated in the video-processing section 101 scan on a photoconductor drum, and 202 is the image formation section of the Magenta (M) of the first rank. 203,204,205 shows cyanogen (C), yellow (Y), and the image formation section about each color of black (K) with the

same configuration.

[0027] It is the photoconductor drum in which 218 forms a latent image by exposure of a laser beam in the image formation section 202. 213 is a development counter which performs toner development on a drum 218, and 214 in a development counter 213 impresses development bias. It is the sleeve which toner development performs and 215 is a primary electrification machine which electrifies a photoconductor drum 218 in desired potential. 217 is a cleaner which cleans the front face of the drum 218 after an imprint, and 216 discharges the front face of a drum 218 cleaned with the cleaner 217. It is the auxiliary electrification machine which enables it to acquire good electrification in, the primary electrification machine 215. 230 is a pre-exposure lamp which eliminates the residual charge on a drum 218, and 219 is an imprint electrification machine which performs discharge from the tooth back of the imprint belt 206, and imprints the toner image on a drum 218 to an imprint member.

[0028] 209,210 is a cassette which contains an imprint member, 208 is the feed section which supplies an imprint member from a cassette 209,210, 211 is adsorption zone electrical machinery which makes the imprint member to which paper was fed by the feed section 208 stick to the imprint belt 206, and it is the imprint belt roller which it becomes [roller] to the adsorption zone electrical machinery 211 and a pair, and makes the imprint belt 206 carry out adsorption electrification of the imprint member at the same time 212 is used for a revolution of the imprint belt 206.

[0029] 224 is an electric discharge electrification machine for making an imprint member easy to separate from the imprint belt 206. 225 is an exfoliation electrification machine which prevents the image turbulence by the exfoliation discharge at the time of an imprint member dissociating from an imprint belt. It is the front [fixation] electrification machine which 226,227 compensates the adsorption power of the toner on the imprint member after separation, and prevents image turbulence. It is an imprint belt electric discharge electrification machine for 222,223 discharging the imprint belt 206 and initializing the imprint belt 206 electrostatic, and 228 is a belt cleaner from which the dirt of the imprint belt 206 is removed. 207 is a fixing assembly by which heat fixation is carried out on an imprint member in the toner image on the imprint member which was separated from the imprint belt 206 and was re-charged with the electrification vessel 226,227 before fixation. 229 is a paper head sensor which detects the head of the imprint member to which paper was fed by the feed section 208 on the imprint belt, and the detecting signal 403 from a paper head sensor is used as a vertical-scanning synchronizing signal at the time of being sent to the reader section from the printer section, and sending a video signal to the printer section 103 from the color reader section 101.

[0030] Drawing 5 is drawing explaining the compression and extension by the 1st example.

[0031] The data compression of the companding section 328 is carried out by the encoder section 309. For example, considering the part of the thick frame slash section of drawing 5, one mass is equivalent to 1 pixel, the data of RGB3 color make 1 block 8 bits of 4 pixel x4 line, i.e., the data for 16 pixels, for a **** and this at each of this 1 pixel, respectively, and it is $L^* a^* b^*$. It changes, this data of 16 pixel x3 color x8bit=384 is compressed into 1/12, and it considers as 32-bit data. Now, by making this into image data 908, it stores in the memory section 707 and data extension of this is carried out as image data 909 by 4 color simultaneous processing at delivery and 24 bits of each YMCK at the decoder section 708 of each YMCK.

[0032] At this time, it reads in the memory section 310, has the room according to a manuscript or the recording paper in it, and has an image memory 601 (32-bit data) on the same address space like drawing 5. Although an image memory 601 is explained as a DRAM here, the other storage means is sufficient as it. And these address buses are common, and an address counter 607 is made into the single address of room by making 4 pixel x4 line into one unit, stores 32-bit data there to the timing (605a) of (**) of drawing 7, and reads them to the timing of each YMCK like (**) - (**) (605b-605e).

[0033] Drawing 8 is drawing explaining the read/write of the image memory by the 1st example. Here, time sharing of the 4 pixel x4 line is carried out to eight blocks like drawing 8, the writing of the image data to image memory, read-out of each color, etc. are beforehand decided with each block, and the system independently accessed to the address of room, respectively is

considered.

[0034] Drawing 9, drawing 10, and drawing 11 are the block diagrams showing the configuration of the image memory by the 1st example, and drawing 12 is drawing explaining the image image by the 1st example.

[0035] drawing 9 – drawing 11 — setting — 800–807, 901–908, 917 – a selector and 809, 926 show a counter and, as for 924 and 1001, in D flip-flop, and 808, 925 and 1002, 810, 927 shows [a latch, and 1005–1009] the adder, respectively.

[0036] The initial value of a main scanning direction is made to latch like drawing 9 from CPU which is not illustrated to latches 0–7 (800–807) at this time. For example, it is 000H, 810H, 020H, 830H, 040H, 850H, 060H, and 870H to order. It carries out to having made it latch.

[0037] Next, the initial value made to latch for every block like drawing 8 is chosen by time sharing by the selector 808. moreover, the counter 809 — the synchronizing signal HSNC of the head of each line — counted value — 000H — it counts up the horizontal-scanning write enable signal every 4 pixels, using a horizontal-scanning lead enable signal as a select signal at the time of a lead at the time of a memory light, subtracts and adds two values by the adder 810, and outputs XADR further. When the most significant bit of each initial value is made into a XOFF signal, and this is "0", it is addition and "1" and it subtracts at this time, in block (b) of drawing 8 000H, 001H, and 002H It counts up with — and they are 010H, 00FH, and 00EH at block (b). It counts down with — and they are 070H, 06FH, and 06EH at block (h) similarly hereafter. It counts down with —.

[0038] next, the initial value of the direction of vertical scanning is latched from CPU which does not illustrate drawing 10 to 901–908 similarly, either — making — a main scanning direction — the same — the most significant bit — a YOFF signal — carrying out — "0" — if it becomes — an adder 927 — addition and "1" — it will be made to subtract if it becomes Next, a counter 926 is cleared with the RST signal of a power up, and is counted up one every four lines to a power source OFF. And the above-mentioned initial value Y0 Counted value C1 of a counter 926 It subtracts and adds by adders 901–916, and every one per one sheet of detail paper of the calculated-value Y0**C1 is latched by latches 917–926 with the synchronizing signals PS0–PS7 of the standup of the enable signal of the direction of vertical scanning of drawing 7. Time sharing of this is carried out by the selector 25, and it is calculated-value Y0**C1. It outputs. this example — PS0, PS2, and PS4 — NC and PS1 — vertical-scanning write enable — generation and PS4 — vertical-scanning yellow lead enabling — generation and PS6 are generated from vertical-scanning cyanogen lead enabling, and generation and PS7 are generated [enable / vertical-scanning Magenta lead] for generation and PS5 from vertical-scanning black-leads enabling.

[0039] Furthermore, calculated-value Y0**C1 latched by the adder 927 Counter value C2 raised every four lines It subtracts and adds and is YADR=Y0**C1**C2. It becomes. Namely, at the time of YADR=Y0+ (C2–C1) and YOFF= "1", it becomes Y0– (C2–C1) at the time of YOFF= "0", and it is initial value Y0. The value which subtracted and added actual counted value (C2–C1) is outputted from YADR.

[0040] next, the signal YADR which replaces XADR and YADR for every block of (**) of drawing 8 – (**) from drawing 11 from CPU which is not illustrated to latch 1001 — changing — put in beforehand, choose by selectors 1003 and 1004 for every block, and pass D flip-flop 1005 and 1006 — XMA is outputted as the main scanning direction address, and YMA is outputted as the direction address of vertical scanning. Moreover, XMA, YMA, and a synchronization are doubled for three signals, the above-mentioned XYCHG signal, a XOFF signal, and a YOFF signal, by D flip-flop 1007–1009, and Signal ROT <0>, ROT <1>, and ROT <2> are obtained. And it becomes an image image like ** – ** like drawing 12 with this 3-bit ROT signal.

[0041] When it writes in memory according to an image image to output a ROT signal with the block of (b) of drawing 8, it reads from memory as it is by ROT=000 with the block of (e) (**) (g) (h) and an image like ** of drawing 12 is inputted by the above approaches, eight kinds of output images like ** – ** are obtained.

[0042] Drawing 14 and drawing 15 are the block diagrams showing the configuration of the alphabetic character image detecting elements 306–307 by the 1st example. In this drawing, 1301

and 1302 show the minimum value detector and the maximum detector, 1303 a subtractor circuit, and 1305-1308 for an edge intensifier and 1304 Line memory, An averaging circuit, and 1313 and 1323 1309 and 1310 A limiter, 1314, 1319, and 1324 an adder, and 1316, 1321 and 1326 for offset and 1315 A comparator, A delay circuit and 1318 1317, 1328, and 1333 A remix, 1329 -- the OR gate and 1322 -- a halftone dot field distinction circuit and 1327 -- a profile circuit and 1331 -- an inverter and 1332 -- the AND gate, and 1334A and 1334B -- a blocking circuit and 1330 -- misjudgment -- a law -- the clearance circuit is shown, respectively.

[0043] In the above configuration, the color-separation data 1207-1209 inputted from the variable power circuit 305 are inputted into the minimum value detector 1301 and the maximum detector 1302. Each selected signal asks for the difference in a subtractor circuit 1304. When difference is not are not [size, i.e., R G, and B which are inputted,] uniform, it is shown that it is the chromatic color which inclined toward a certain color instead of the signal near the achromatic color which shows black and white. If this value is naturally small, the signal of R, G, and B is almost comparable level, and it turns out that it is the achromatic color signal which is not a signal which inclined toward some colors. This differential signal is made into a gray signal, blocks 4x4 by majority processing etc. by blocking circuit 1334A, is outputted to the delay circuit 1333, and is further inputted into the memory section 313.

[0044] Otherwise, the minimum value signal searched for in the minimum value detector 1301 is inputted into the edge intensifier 1303. In the edge intensifier 1303, edge enhancement is performed by calculating according to the following formulas (1) using main scanning direction order pixel data. namely, -- $DOUT = (9/8) Di - (1/16) (Di-1+Di+1)$ -- (1)

It comes out. DOUT The image data after edge enhancement and Di show the i-th pixel data, respectively.

[0045] In addition, edge enhancement may not necessarily use not only the upper approach but other well-known techniques. The picture signal by which edge enhancement was carried out to the main scanning direction is performed next in the averaging circuit 1309 where averaging in the window of 5x5 and 3x3 takes 5x5 averages, and the averaging circuit 1310 which takes 3x3 averages. The line memory 1305-1308 is the memory for delay of the direction of vertical scanning for performing average processing. The 5x5 average computed in the averaging circuit 1309 which takes 5x5 averages is added with the offset value and adders 1315, 1319, and 1324 which were set independently of the offset section connected to CPU-BUS which is not illustrated too next. The 5x5 added average is inputted into a limiter 1313, a limiter 1318, and a limiter 1323. It connects by CPU-BUS which is not illustrated, each limiters 1313-1323 are constituted so that a limiter value can be set independently, respectively, and when the 5x5 average is larger than a setting-out limiter value, they clip an output with a limiter value. The output signal from each limiter is inputted into comparators 1316, 1321, and 1316, respectively. First, it is compared by the comparator 1316 with the output signal of a limiter 1313, and the output from 3x3 averages 1310. The output of the compared comparator 1316 is inputted into the delay circuit 1317 so that it may put together the output signal and phase from the halftone dot field distinction circuit 1322 which are mentioned later. This signal made binary minds the low pass filter of 3x3 in order to cut the high frequency component of a halftone dot image so that binary-ization by the average may be performed in order to prevent crushing by MTF, and a jump above the concentration of arbitration, and the halftone dot of a halftone dot image may not be detected by binary-ization. Next, binary-ization with through image data is performed that the high frequency component of an image should be detected so that the output signal of a comparator 1321 can be distinguished in the halftone dot field distinction circuit 1322 located the back in a platform. In the halftone dot field distinction circuit 1322, since it consists of meetings of the dot of a halftone dot image, it checked that it was a dot from the direction of an edge, and has detected by counting the number of the dot of the circumference of it.

[0046] Thus, after taking the OR gate 1329 by the result distinguished in the halftone dot field distinction circuit 1322, and the signal from said delay circuit 1317, an incorrect judging is removed in the incorrect judging clearance circuit 1330. In this incorrect judging clearance circuit 1330, the image region which an image region is dwindled, is isolated and exists is first taken to the signal which employed efficiently the property that area with a thin alphabetic character etc.

and a large image exists, and was made binary. When at least 1 pixel of pixels other than an image exists in the area of 1mm angle of circumferences to the main pixel x_{ij} , specifically, a main pixel is judged to be a region outside an image. Thus, after removing the image region of the isolated point, it is made to grow fat in order to return the image region which became thin, and processing is performed. Similarly, it is made to become thin, and it processes, and the output of the halftone dot distinction circuit 1322 is inputted into the direct incorrect judging clearance circuit 1331, and processing is performed [it is made to grow fat and]. The judgment result at the time of making it grow fat crosses the mask size of processing by making it become thin here by making it grow fat, being the same as the mask size of processing, or making it grow fat, and making the processing into size. After making it become thin with a 17x17-pixel mask, make it become thin with the mask of further 5x5, next it is made to grow fat with a 34x34-pixel mask, and, specifically, processing is performed.

[0047] Next, the output signal from a comparator 1326 is extracting the profile of an input picture signal that an alphabetic character should be processed to Sharp in the latter part. Making become thin and processing the output of the comparator 1326 made binary as the extract approach -- receiving -- the block of 5x5 -- and the difference of the signal which was fattened, and was processed and fattened, and the dwindled signal -- a region -- a profile -- the profile signal extracted by such approach In order to double a phase with the mask signal outputted from an inverter 1331 After minding the delay circuit 1328, it is applied to the AND gate 1332, and by majority processing in 4x4 blocks etc., it blocks in the blocking circuit 1334 and inputs into the latter operation part 308 in order to unite per block of the compression mentioned further later (4x4).

[0048] Drawing 16 is the block diagram showing the configuration of the operation part 308 by the 1st example. In this drawing, operation part 308 consists of the AND gates 1401, 1403, 1408, 1406, and 1411, the OR gates 1402, 1404, 1407, 1409, 1412, and 4701, and 4to1 selectors 1405 and 1410. Furthermore, 1413, 1414, 1405, 1416, 1417, and 1418 show the register set up by CPU which is not illustrated. Moreover, A0 (signal line 1336) is the black called for by the color detecting element 306, and the signal which shows or other than this, and A1 (signal line 1335) is the alphabetic character section called for by the alphabetic character detecting element 307, and a signal which shows or other than this. Furthermore, B0 (signal line 1419) is the black outputted from the memory section 2-313, and the signal which shows or other than this, and B1 (signal line 1420) is the alphabetic character section outputted from the memory section 313, and a signal which shows or other than this.

[0049] In this operation part 308, in case edit processing of two kinds of multiple values – an image is performed based on the area signal AR 1 and registers 1413, 1414, 1415, 1416, 1417, and 1418, it is the circuit which searches for a new image area signal (C0, C1) using the image area signal (A0, A1, B0, B1) searched for, respectively.

[0050] Hereafter, explanation is continued for the color composite of a multiple-value color picture realizable by this example for an example.

[0051] the time of the 1st manuscript being read -- AR1 -- the inside of 1 page -- "L" and a register 1413 -- "H" and a register 1414 -- "L" and a register 1415 -- " -- "H" is set to 1418 "L" and a register 1423 by 1417 "H" and the register at H" and a register at 1416 "L" and a register. Consequently, C (signal line 1337), A0 (signal line 1336) and A1, is selected, from C0 (signal line 1421), A1 (signal line 1337) is outputted from A0 (signal line 1336) and C1 (signal line 1422), and each is memorized for both the selectors 1405 and 1410 in the memory section 313. [i.e.,] Next, when the 2nd manuscript is read, it reads with one of vertical-scanning enabling [which made DTOP the synchronizing signal / 1505 (b-e)], and reading appearance of the image area separation signal of the 1st manuscript is carried out from memory 313 based on horizontal-scanning enable signal 1506b, and the 3rd image area separation signal is generated from the image area signal of the 1st manuscript and the 2nd manuscript based on AR1. At this time, registers 1413-1418 become AR1= "1", when the 2nd manuscript is chosen by the same setting out as the above and AR1= "0" and the 1st manuscript are chosen. Consequently, in the part of the 1st manuscript, B0 (signal line 1419) and B1 (signal line 1420) are selected from A0 (signal line 1336), A1 (signal line 1337) is selected in the part of the 2nd manuscript from C0

(signal line 1421) and C1 (signal line 1422), respectively, and these signals are again written in the memory section 313 based on signal vertical-scanning write enable signal 1505a and horizontal-scanning write enable signal 1506a based on DTOP.

[0052] Drawing 17 is the block diagram showing the configuration of the memory section 313 by the 1st example, and drawing 18 is drawing explaining the read/write cycle of the direction enable timing signal of vertical scanning by the 1st example.

[0053] In drawing 17, the memory section 313 consists of the water increase section 1508 which makes 8 bits 1506 which generates the image area memory 1501, an address counter 1504 and RAS, a CAS signal, and WE signal, and 2 bit data.

[0054] The image area memory 1501 has the room (4Mbit) according to a reading manuscript. Furthermore, although this memory section 313 is explained as a DRAM, the other storage means may be used. Moreover, an address counter 1504 is made into the single address of room by making 4 pixel x4 line into one unit. Store 2-bit data there to the timing of (b) of drawing 17, and each 4 pixel x4 of YMCK is divided into eight blocks to the timing of (e) – (h), respectively. The writing of the image area data to memory and read-out are beforehand defined with each block. it writes to each timing, the signal by which received carrying out especially reading appearance and reading appearance was carried out to each timing is latched to the timing of arbitration, and processing which swells a 1-bit signal to a 4-bit signal is performed in the water increase section 1508. Moreover, since the completely same configuration as the memory section 310 is carried out, the configuration of an address counter 1504 is omitted here. Moreover, horizontal scanning and the vertical-scanning enable signal included in the two memory sections 310,313 are built on the basis of HSYNC, DTOP, or ITOP, respectively, and this time difference is taken into consideration and they are made from each processing (companding processing, image area judging detection, operation by operation part 308,312).

[0055] The image area separation processing circuit 317 performs the following processings based on the judgment signal generated by the above-mentioned color detecting element 306, the alphabetic character detecting element 307, and operation part 308, respectively about a black alphabetic character, a color alphabetic character, and a halftone image (a halftone dot is included).

The [processing 1] processing 1 is processing about a black alphabetic character.

[0056] [1-1] Use the signal 331,333,335,337 searched for by the Sumi extract as video.

[0057] [1-2] Y (334), M (330), and C (332) data subtract according to the set point. On the other hand, Bk (336) data add according to the set point.

[0058] [1-3] Perform edge enhancement.

[0059] [1-4] In addition, a black alphabetic character is printed out by 400 lines (400dpi).

[0060] [1-5] Perform the color remaining clearance processing.

The [processing 2] processing 2 is processing about a color alphabetic character.

[0061] [2-1] Perform edge enhancement.

[0062] [2-2] In addition, a color alphabetic character is printed out by 400 lines (400dpi).

selection processing [4-1] smoothing (it is 2 pixels at a time to a main scanning direction) been alike and related with a [processing 4] halftone image or through is enabled.

[0063] Next, the circuit which performs the above-mentioned processing is explained.

[0064] Drawing 19 and drawing 20 are the block diagrams showing the configuration of the image area separation processing circuit by the 1st example. In drawing 19 and drawing 20, although the circuit diagram of only M component is shown, since it is the same, it omits also about other 3 colors (C, Y, K) here.

[0065] Selector 6e as which the circuit of drawing 19 and drawing 20 chooses the video input signal 219 or MBK219, AND-gate6e' which generates the signal which controls the selector, The color remaining clearance processing mentioned later The enable signal of block 16e to perform and this processing The line memory 26e and 28e, edge enhancement block 30e which delay AND-gate16e' to generate, multiplier 15e which performs the set point 14e multiplication of output 13of selector 6e e, and an I/O Port, XOR gate20e, AND-gate22e, adder subtracter 24e, and one-line data, Smoothing block 31e, through data Or smoothing data Delay circuit 36e for uniting the ** term of the control signal of selector 42e which chooses the result of delay circuit

32e for uniting the ** term of the control signal of selector 33e to choose and this selector, and edge enhancement, or the result of smoothing, and this selector And OR-gate39e, AND-gate41e, and the alphabetic character judging section are received. It consists of delay circuit 43e for inverter circuit 44e for outputting a 400 line (dpi) signal ("L" output), AND-circuit46e, OR circuit48e, and synchronous doubling of video outlets 225 and 224. Moreover, image area separation processing is connected with the CPU bus which is not illustrated through I/O Port 1e.

[0066] It subtracts at a certain rate to Y of the color remaining clearance processing and the black alphabetic character section judging section which remove hereafter the chrominance signal which remains around the edge of the black alphabetic character section, M, and C data. As opposed to the 1st part and the alphabetic character section which add at a certain rate to Bk data Edge enhancement, Smoothing and other gradation images explain each to the network judging section by dividing into three, the 2nd part which chooses through data, and the 3rd part which sets 338-a to "L" to the alphabetic character section (it prints by 400dpi).

[0067] First, the color remaining clearance processing and addition-and-subtraction processing which are the 1st part are explained. Here, both signal MjAR1510b-1 that it is the signal GRBi 1510-1 and the alphabetic character section of being colorless is processing to the edge section and the periphery of an active place, i.e., a black alphabetic character, and clearance of Y and M which have been protruded from the edge section of a black alphabetic character, and C component, and the Sumi ON ** of the edge section are performed.

[0068] Next, concrete explanation of operation is given.

[0069] Drawing 21 is drawing explaining processing of the black alphabetic character by the 1st example.

[0070] In processing of the 1st part of the above, an alphabetic character section judging is received (MjAR1510b-1= "1"), and when it is a black alphabetic character (GRBi1510a-1= "1"), it is carried out. Therefore, the video input 219 is chosen in selector 6e (they are "0" sets to I/O -6 (5e)). Therefore, in 15e, 20e, 22e, and 17e, the data subtracted from video 8e are generated (the same is said of C and Y data).

[0071] Furthermore, multiplication with the value set to selector output-data 13e and I/O-14e is performed by multiplier 15e. 0 to 1 time as many data as this 18e is generated to 13e here. The two's complement data of 18e are generated in 17e, 20e, and 22e by standing 1 to Registers 9e and 25e. In adder subtracter 24e, since it is two complements, subtraction of 17e-8e is performed in practice, and addition 23ofe [8] and 23e e is outputted to the last from 25e.

[0072] In the case of record color Bk data (336), BkMj337 is chosen in selector 6e (it is "1" set to I/O-6 and 5e). In 15e, 20e, 22e, and 17e, the data added to ** video 17e are generated. A different point from the above-mentioned M:00 is set to 23e=8e and Ci=0 by this by setting "0" to I/O -4 and 9e, and 17e+8e is outputted from 25e. The method of generation of multiplier 14e is the same as that of the time of Y, M, and C.

[0073] It is (a) and (c) which expanded the slash section of the black alphabetic character N drawing 21 showed [alphabetic character] this processing in drawing. drawing [this] (d) the place whose alphabetic signal section is "1" to Y, M, and C data -- subtraction from video -- (-- to this drawing (b)) and Bk data, as for the place whose alphabetic signal section is "1", addition is performed to video. In this drawing, 0 and Bk data of 13e=18e, i.e., Y of the alphabetic character section, M, and C data are the examples in twice of video.

[0074] Although the profile section of a black alphabetic character is mostly struck with black monochrome by this processing, * mark shown in (b) of Y and M out of a profile signal, C data, and drawing 21 remains [in the surroundings of an alphabetic character] as the color remainder and is unsightly.

[0075] It is the ***** clearance processing which takes the color remainder. This processing is processing which takes re-consent (3 pixels or 5 pixels) approximately about a pixel with possibility that it has said the range which extended the field of the alphabetic character section, and there is the color remainder on the outside of a place smaller than the party rate value which CPU sets [video-data 13e], i.e., the alphabetic character section. Next, it supplements with explanation using a circuit.

[0076] Drawing 22 is the block diagram showing the configuration of the alphabetic character field amplification circuit by the 1st example. The alphabetic character field amplification circuit which serves to extend an alphabetic character section field consists of DF/F 65e-68e and the AND gates 69e, 71e, 73e, and 75e, and OR-gate 77e.

[0077] When the signals which MjAr412 [2-pixel] extended to the main scanning direction approximately to what is "1" when "1" was altogether stood to I/O Ports 70e, 72e, 74e, and 76e are I/O Ports 70e and 75e "0", and 71e and 73e "1", the signal extended 1 pixel approximately is outputted to a main scanning direction from Sig2and18e.

[0078] Next, color remaining clearance processing circuit 16e is explained.

[0079] Drawing 23 is the circuit diagram of the color remaining clearance processing by the 1st example, and drawing 26 is drawing explaining the alphabetic character judging processing by the 1st example.

[0080] In drawing 23, the 3-pixel min selection circuit and 58e as which 57e chooses the minimum value of a total of 3 pixels of 1 pixel to input signal 13e an attention pixel and approximately [its] choose the maximum of a total of 5 pixels of 2 pixels to input signal 13e an attention pixel and approximately [its]. With the comparator which compares the size of input signal 13e and I/O -18 (54e), a 5-pixel min selection circuit and 55e output 1, when the 54e is larger. 61e and 62e are [the OR gate and 63e of selector, 53e, and 53e'] NAND gates.

[0081] In the above-mentioned configuration, selector 60e chooses 3-pixel min and 5-pixel min based on the value of I/O -19 from CPU-BUS. The effectiveness of the color remaining clearance becomes [the direction of 5 pixel min] large. This can be selected by manual setting out of an operator or the automatic setting of CPU.

[0082] Selector 62e is said to the range which video-data 13e was made smaller than register value 54e by comparator 55e, and extended the signal of the alphabetic character section when the output of NAND gate 63e was "0", and when 17e' is 1, when that is not right, the B side is chosen the A side. However, "1" and register 52e' of Registers 52e and 64e are "0" at this time.

[0083] When the B side is chosen, through data are outputted as 8e.

[0084] EXCON50e can be used instead of comparator 55e, when the signal made binary inputs a luminance signal.

[0085] The place which performed two above-mentioned processings is shown in drawing 26. The field where drawing 26 (a) is the black alphabetic character N, and drawing 26 (b) was judged in Y and M which are concentration data of the slash section, and C data to be an alphabetic character, That is, by subtraction processing, the alphabetic character judging section (*2, *3, *6, *7) is turned into to *1 by the color remaining clearance processing, *4 turn into *0 to *1, and *5 to *4 0, as a result, it is set to 0, and drawing 26 (c) is called for.

[0086] In addition, about a color alphabetic character, as shown in drawing 26 (f), modification is not added.", next the edge enhancement or smoothing processing which is the 2nd part are explained. Here, to the alphabetic character judging section, processing to which smoothing and others output through is performed to edge enhancement and a halftone dot.

[0087] Drawing 24 is drawing explaining the matrix for the edge enhancement by the 1st example, and drawing 25 is drawing explaining the smoothing processing by the 1st example.

[0088] Since MjAR412 is "1" in the alphabetic character section, the output of edge enhancement 30e of 3x3 generated from the signal of three lines of 25e, 27e, and 29e is selected in selector 42e, and it is outputted from 43e. In addition, edge enhancement is called for from a matrix and a formula as shown in drawing 24 here.

[0089] That to which smoothing 31e was applied to 27e in the halftone dot section since SCRN35e was "1" and MjAR21e was "0" is outputted by Selectors 33e and 42e. In addition, smoothing is VN about /2 here, when an attention pixel is VN (VN+VN+1), as shown in drawing 25. It is the processing used as data, i.e., smoothing of 2 pixels of horizontal scanning. The moire which may be produced in the halftone dot section by this is prevented.

[0090] When it is not other parts, i.e., the alphabetic character section (character outline) or the halftone dot section, either, processing to the part of halftone is specifically performed. Since MjAR1510b-1 and SCRN35e are "0" at this time, the data of 27e are outputted from video

outlet 43e as it is.

[0091] When an alphabetic character is a color alphabetic character, even if it is the alphabetic character judging section, two above-mentioned processings are not performed. Although the 1st example showed the example which performed the color remaining clearance only to the main scanning direction, horizontal scanning and vertical scanning may perform the color remaining clearance processing.

[0092] Next, alphabetic character section 400 line (dpi) output processing which is the 3rd part is explained.

[0093] Synchronizing with a video outlet 339, 338a is outputted from 48e. Specifically, the reversal signal of MJAR1510b-1 is outputted synchronizing with 43e. The parts of 224=0 and others become $200/400 = "1"$ at the time of the alphabetic character section.

[0094] thereby -- the alphabetic character section judging section -- others are specifically struck with a printer for the profile section of an alphabetic character by 200 lines by 400 lines (dpi).

[0095] As mentioned above, above-mentioned processing is performed to 4 color data, respectively, after that, a gamma correction circuit 318 and edge enhancement 319 are synchronized with 200/400 line of 4 classification by color, the change-over signal 338 is synchronized with the signal of signal lines 321-324 in the delay circuit 320 again, respectively, and it sends to the LBP printer 102.

[0096] In this way, the optimal black character manipulation can be performed and outputted also at the time of edit processing of two or more color pictures.

[0097] As explained above, in case edit processing of color multiple-value images is performed according to the 1st example, it has two or more operation means to receive each image area separation signal, and there is effectiveness which enables coexistence of edit processing of color multiple-value images and a black character manipulation by establishing a means to select one of them further.

The <2nd example>, next the 2nd example are explained.

[0098] The 2nd example explains taking the case of texture processing of multiple-value color pictures.

[0099] Drawing 28 and drawing 29 are the block diagrams showing the configuration of the digital-image-processing section in the color reader section by the 2nd example, and drawing 30 is drawing explaining texture processing of the multiple-value color pictures by the 2nd example.

[0100] Texture processing is processing to which a modulation is applied to pattern drawing 26 (b) written in memory and which obtains an output like drawing 30 (c), as shown in drawing 30.

[0101] The block diagrams for realizing this texture processing are drawing 28 and drawing 29. Since the difference with the configuration of this drawing 28, the configuration of drawing 29

R>9 and drawing 3, and drawing 4 is in the place where the output 1335 of an alphabetic character detecting element is inputted also into operation part 312, the configuration same in others is taken and the same control is performed, explanation is omitted.

[0102] Moreover, about what has the 1st same configuration and same function as an example, the same number is attached by the following explanation, and explanation is omitted.

[0103] Drawing 27 is drawing explaining the operation part in the 2nd example. The operation part of drawing 27 corresponds to the operation part 312 of drawing 3 and drawing 4. Reverse LOG conversion is performed and it consists of selectors 2403-2406 of ROMs 1204-1206 which change a CMY signal into an RGB code, the AND gate 2401, and the 2402 or 3 OR gates, and multipliers 2406-2408.

[0104] the time of the 1st manuscript and a pattern like [here] drawing 30 (b) being read in this operation part in the circuit which performs texture processing of multiple-value color pictures based on the area signal AR 0 and the alphabetic character section A1 -- AR1 -- the oar between 1 page "H" -- it becomes. Furthermore, 80M are set to a register 2409 by CPU which is not illustrated. Consequently, D0-D2 are outputted from multipliers 2406-2408. This multiplier has taken the configuration in which one 1.99 times [0 time to] the output of this is possible to D0. Therefore, if 80H are set to A, it will increase 1 time. And these signals go into an encoder 309 and are memorized in the memory section 1602.

[0105] Next, when the 2nd manuscript (a manuscript like drawing 30 (a)) is read, reading appearance of the compressed data is carried out from the memory section 602 by Read enabling 605b of a Magenta (MAGENTA) and horizontal-scanning enable signal 606b which made DTOP the synchronizing signal. Furthermore, extension processing is performed in the decoder section 311, and reverse LOG conversion is further cut by ROMs 1204-1206. And if "1" is set to a register 2410 and "80 H" is set to a register 2409 at this time, based on AR0, D0 will be outputted as it is at the time of AR0="H" or A1="H", and the place of AR0="L" and A1="L" will texture wither. This is the specified field and specifically means having applied texture processing to area other than the alphabetic character section of the 2nd manuscript.

[0106] Furthermore, a motion of the operation part 308 at this time is performed using drawing 1616. When the 1st manuscript is read, as for AR1, oar "L", register 1413 "H", a register 1414 "L", a register 1415 "L", a register 1416 "L", a register 1417 "L", a register 1412 "L", and register 1423 "H" are set for 1 page. Consequently, "L" is outputted and each is memorized for C0 (signal line 1421) and C1 (signal line 1422) by memory 313. next, vertical-scanning enabling [which made DTOP the synchronizing signal when the 2nd manuscript was read / 1505 (b-e)] -- inner -- reading appearance is carried out to one, reading appearance of the image area separation signal of the 1st manuscript is carried out from memory 313 based on horizontal-scanning enable signal 1506b, and the 3rd image area signal is generated from the image area signal of the 1st manuscript and the 2nd manuscript based on AR1. this time -- a register 1413 -- "H" and a register 1414 -- "L" and a register 1415 -- "H" and a register 1416 -- "L" and a register 1417 -- "L" and AR1=all "H" are set to "L" and a register 1423 by H" and the register 1418. By this, it is in the field except a field, and a black character manipulation will be performed to the part and concrete target to which texture processing is not applied at the alphabetic character section of the 2nd manuscript.

The 3rd example of <the 3rd example> explains using watermark composition.

[0107] Drawing 31 is drawing explaining the watermark composition by the 3rd example.

[0108] As watermark composition is shown in drawing 31, an output like an image (1) and an image (2) to an image (3) is obtained.

[0109] The whole block diagram which realizes this watermark composition is the same as that of drawing 3 and drawing 4, and different places from the 1st example are the circuitry of operation part 312, and the control approach of operation part 312,308. Those explanation is given to below.

[0110] Drawing 32 is the block diagram showing the configuration of the operation part in the 3rd example. The operation part of drawing 32 corresponds to the operation part 312 of drawing 3 and drawing 4. The operation part by the 3rd example performs reverse LOG conversion, and consists of ROMs 1204-1206 which change a CMY signal into an RGB code, the AND gates 2807-2809, multipliers 2801-2806, and adders 2810-2812. Moreover, 2806 are the multiplier which can perform even zero to 1.99 times to Multipliers 2801-A, and when "80 H" is set to B1, A outputs them from An through.

[0111] In this operation part, when the 1st manuscript is read with the circuit diagram which performs texture processing of multiple-value color pictures based on the area signal AR 0, as for AR0, "80 H" is set to all "L" between 1 page", and registers 2814, 2816, and 2818.

Consequently, from F0-F2, and 1213-1215, D0-D 2, 1207-1207 output, respectively, and further, these signals are compressed into an encoder 309 and memorized in the memory section 602.

[0112] Next, when the 2nd manuscript is read, reading appearance of the compressed data is carried out from the memory section 310 by Read enabling 605b of a Magenta (Magenta) and horizontal-scanning enable signal 606b which made DTOP the synchronizing signal. Furthermore, extension processing is performed in the decoder section 311, and reverse LOG conversion is further applied by ROMs 1204-1206. Then, X/X+Y is given to watermark composition of the 1st manuscript and the 2nd manuscript registers 2814 and 2816 and by setting AR0="H" for Y/X+Y at registers 2813, 2815, and 2815, if 2818 are taken.

[0113] Furthermore, a motion of the operation part 308 at this time is performed using drawing 16. the time of the 1st manuscript being read -- AR1 -- the oar between 1 page "L", and a register 1413 -- "H" and a register 1414 -- "L" and a register 1415 -- "H" and a register 1416

— "L" and a register 1417 — " — "H" is set to "L" and a register 1423 by H" and the register 1418. Consequently, from C0 (signal line 1421) and C1 (signal line 1422), A0 (signal line 1336) and A1 (signal line 1337) are outputted, and each is memorized in the memory section 313. next, vertical-scanning enabling [which made DTOP the synchronizing signal when the 2nd manuscript was read / 1505 (b-e)] — inner — reading appearance is carried out to one, reading appearance of the image area separation signal of the 1st manuscript is carried out from the memory section 313 based on horizontal-scanning enable signal 1506b, and the 3rd image area signal is generated from the image area signal of the 1st manuscript and the 2nd manuscript based on AR1. this time — a register 1413 — "H" and a register 1414 — "L" and a register 1415 — "H" and a register 1416 — "L" and a register 1417 — " — "L" and AR1=all" H" are set to "L" and a register 1423 by H" and the register 1418. When it spaces in all area and composition is applied by this, if one of images are alphabetic characters, image area processing will be performed. Moreover, what is necessary is for the AND gates 1403 and 1408 to delete and just to input A0 and A1 into a selector, respectively, when spacing only through a certain area and applying composition.

[0114] In addition, even if it applies this invention to the system which consists of two or more devices, it may be applied to the equipment which consists of one device. Moreover, it cannot be overemphasized that this invention can be applied also when attained by supplying a program to a system or equipment.

[0115]

[Effect of the Invention] As explained above, according to this invention, there is effectiveness which enables coexistence of edit processing of color multiple-value images and a black character manipulation.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing explaining the conventional example.

[Drawing 2] It is the sectional side elevation showing the internal configuration of the digital color copying machine by the 1st example of this invention.

[Drawing 3] It is the block diagram showing the configuration of the digital-image-processing section in the color reader section 101 by the 1st example.

[Drawing 4] It is the block diagram showing the configuration of the digital-image-processing section in the color reader section 101 by the 1st example.

[Drawing 5] It is drawing explaining the compression and extension by the 1st example.

[Drawing 6] It is the block diagram showing the configuration of the memory section 310 by the 1st example.

[Drawing 7] It is the timing chart of the direction enable timing signal of vertical scanning by the 1st example.

[Drawing 8] It is drawing explaining the read/write of the image memory by the 1st example.

[Drawing 9] It is the block diagram showing the configuration of the image memory by the 1st example.

[Drawing 10] It is the block diagram showing the configuration of the image memory by the 1st example.

[Drawing 11] It is the block diagram showing the configuration of the image memory by the 1st example.

[Drawing 12] It is drawing explaining the image image by the 1st example.

[Drawing 13] It is the block diagram showing the configuration of the operation part 312 by the 1st example.

[Drawing 14] It is the block diagram showing the configuration of the alphabetic character image detecting elements 306-307 by the 1st example.

[Drawing 15] It is the block diagram showing the configuration of the alphabetic character image detecting elements 306-307 by the 1st example.

[Drawing 16] It is the block diagram showing the configuration of the operation part 308 by the 1st example.

[Drawing 17] It is the block diagram showing the configuration of the memory section 313 by the 1st example.

[Drawing 18] It is drawing explaining the read/write cycle of the direction enable timing signal of vertical scanning by the 1st example.

[Drawing 19] It is the block diagram showing the configuration of the image area separation processing circuit by the 1st example.

[Drawing 20] It is the block diagram showing the configuration of the image area separation processing circuit by the 1st example.

[Drawing 21] It is drawing explaining processing of the black alphabetic character by the 1st example.

[Drawing 22] It is the block diagram showing the configuration of the alphabetic character field amplification circuit by the 1st example.

[Drawing 23] It is the circuit diagram of the color remaining clearance processing by the 1st example.

[Drawing 24] It is drawing explaining the matrix for the edge enhancement by the 1st example.

[Drawing 25] It is drawing explaining the smoothing processing by the 1st example.

[Drawing 26] It is drawing explaining the alphabetic character judging processing by the 1st example.

[Drawing 27] It is drawing explaining the operation part in the 2nd example.

[Drawing 28] It is the block diagram showing the configuration of the digital-image-processing section in the color reader section by the 2nd example.

[Drawing 29] It is the block diagram showing the configuration of the digital-image-processing section in the color reader section by the 2nd example.

[Drawing 30] It is drawing explaining texture processing of the multiple-value color pictures by the 2nd example.

[Drawing 31] It is drawing explaining the watermark composition by the 3rd example.

[Drawing 32] It is the block diagram showing the configuration of the operation part in the 3rd example.

[Description of Notations]

301 CCD

302 A/D-S/H Circuit

303 Shading Compensation Circuit

304 Input Masking Circuit

305 Variable Power Circuit

306 Color Detecting Element

307 Alphabetic Character Detecting Element

308,312 Operation part

309 Encoder

310,313 Memory section

311 Decoder Section

314 Selector

315 Register

316 Masking and UCR Circuit

317 Image Area Separation Processing Circuit

318 Gamma Correction Circuit

319 Edge Intensifier

320 Delay Circuit

329 Field Generation Section

321-327,330-338,339-342,605 Signal line

1419 606, 1207-1209, 1420 Signal line

1510a, 1510b, 1505, 1506 Signal line

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-276374

(43)公開日 平成5年(1993)10月22日

(51)Int.Cl.⁵
H 04 N 1/40
B 41 J 2/52
G 03 G 15/00
15/01

識別記号 F
F 9068-5C
3 0 2
S

F I

技術表示箇所

7339-2C

B 41 J 3/ 00

A

審査請求 未請求 請求項の数4(全30頁) 最終頁に続く

(21)出願番号 特願平4-68054

(22)出願日 平成4年(1992)3月26日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 栗田 充

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

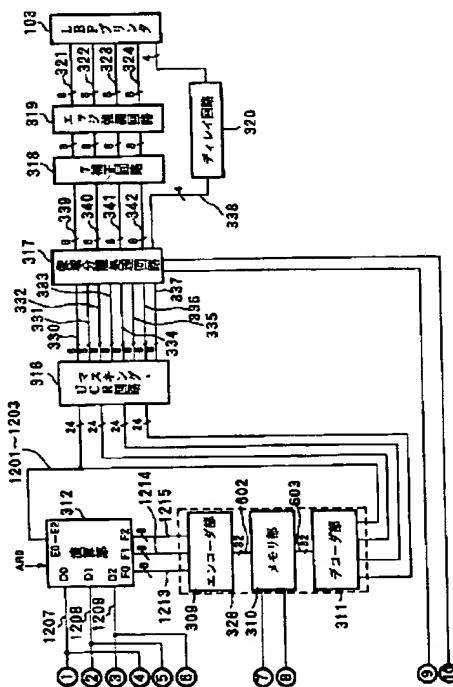
(74)代理人 弁理士 大塚 康徳 (外1名)

(54)【発明の名称】 画像処理装置

(57)【要約】 (修正有)

【目的】複数のカラー多値画像間の編集処理と黒文字処理との両立を可能にする。

【構成】領域生成部で生成されたエリア信号A R 0に基づいて、多値カラー画像のカラー合成を行う場合、演算部312は、第1の原稿が読み込まれた場合、A R 0信号が1ページ中で“H”的状態になり、D 0～D 2が選択され、出力F 0～F 2がエンコーダ部309に入力される。第2の原稿が読み込まれた場合、D T O Pを同期信号にしたマゼンタのR e a dイネーブル605b及び主走査イネーブル信号606bにより、メモリ部310内の画像メモリから圧縮データが読み出され、さらに伸張処理、逆LOG変換がかけられ、A R 0に基づいて、第1の原稿と第2の原稿とがカラー合成され、第3のカラー画像信号が生成され、この信号F 0～F 2は信号W r i t eイネーブル及び主走査ライトイネーブル信号により再びメモリ部310に書き込まれる。



【特許請求の範囲】

【請求項1】多色且つ多値の画像信号を入力する第1の入力手段と、

前記第1の入力手段で入力した画像信号に基づいて2値画像領域及び多値画像領域を判定する第1の判定手段と、

前記第1の入力手段で入力した画像信号及び前記第1の判定手段の判定結果を記憶する記憶手段と、

多色且つ多値の画像信号を入力する第2の入力手段と、

前記第2の入力手段で入力した画像信号に基づいて2値画像領域及び多値画像領域を判定する第2の判定手段

と、

前記第2の入力手段によって入力された画像信号と前記記憶手段に記憶した画像信号に基づいて多色且つ多値の画像信号を生成する場合に、前記第1の判定手段の判定結果と前記第2の判定手段の判定結果とに従って多色且つ多値の画像信号を生成する画像生成手段とを備えることを特徴とする画像処理装置。

【請求項2】前記画像生成手段は、画像処理手段と、該画像処理手段のあるモードに従って画像処理を行う場合に、前記第1の判定手段の判定結果と前記第2の判定手段の判定結果とから像域処理のための信号を生成する生成手段と、該生成手段で生成した信号に従って像域処理を行う像域処理手段とを含むことを特徴とする請求項1記載の画像処理装置。

【請求項3】前記記憶手段は、さらに、前記画像生成手段で生成した画像信号と前記生成手段で生成した信号とを記憶することを特徴とする請求項1記載の画像処理装置。

【請求項4】前記記憶手段は、画像信号を圧縮する圧縮手段と、前記圧縮手段で圧縮したデータを記憶するメモリと、前記メモリに記憶したデータを伸張する伸張手段とを含むことを特徴とする請求項1記載の画像処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、例えば、入力画像をデジタル的に処理し、これに種々の画像処理を施す画像処理装置に関するものである。

【0002】

【従来の技術】近年、カラー原稿を色分解し、画素ごとに読み取り、読み取った画像データをデジタル処理し、LBP（レーザ・ビーム・プリンタ）カラープリンタに出力することにより、デジタルカラーハードコピーを得るデジタルカラー複写機が広範に普及しつつある。この種の装置では、画像データをデジタル的に処理できるという利点から、画像の出力位置を移動させたり（図1（a））、所望の画像領域を抜き出したり（図1（b））、所望の領域内のある色のみ色を変換したり（図1（c））、メモリに記憶された文字や画像を反射

原稿にはめ込んだり（図1（d））等、種々の画像加工が可能になり、いわゆるカラー複写の分野での応用は広がりつつある。さらに、高速化の要求に答えるべく、4つのドラムから構成され、各ドラムにて1色ずつ印刷してLBPプリンタに出力する手法が提案されている。

【0003】一方、カラー反射原稿に対して、文字は文字らしく画像はより画像らしくという要求が高まっており、これに対しては像域分離により文字部と画像部を分離し、文字部には高解像処理が特に黒い文字部に対しては黒単色で打つ処理が、他方画像部に高階調処理がなされている。

【0004】さらに、上述の4つのドラムから構成されるカラー複写機において、画像データを記憶する画像メモリが必須である。

【0005】さらに、この画像メモリを利用するににより、カラー多値画像同士の編集処理（カラー合成等）が可能になった。

【0006】

【発明が解決しようとしている課題】しかしながら、上記従来例では、（1）反射原稿（入力原稿）に対して黒文字処理を施すもの、（2）カラー多値画像同士の編集処理（カラー合成等）を施すもの、のどちらか一方を満たすものはいくつか提案されているが、（1）、（2）の両方、すなわち、それぞれ像域判別された多値画像同士に編集処理を施すものはなかった。

【0007】本発明は、上述した従来例の欠点に鑑みてなされたものであり、その目的とするところは、複数のカラー多値画像間の編集処理と黒文字処理との両立を可能とする画像処理装置を提供する点にある。

【0008】

【課題を解決するための手段】上述した課題を解決し、目的を達成するため、本発明に係る画像処理装置は、多色且つ多値の画像信号を入力する第1の入力手段と、前記第1の入力手段で入力した画像信号に基づいて2値画像領域及び多値画像領域を判定する第1の判定手段と、前記第1の入力手段で入力した画像信号及び前記第1の判定手段の判定結果を記憶する記憶手段と、多色且つ多値の画像信号を入力する第2の入力手段と、前記第2の入力手段で入力した画像信号に基づいて2値画像領域及び多値画像領域を判定する第2の判定手段と、前記第2の入力手段によって入力された画像信号と前記記憶手段に記憶した画像信号に基づいて多色且つ多値の画像信号を生成する場合に、前記第1の判定手段の判定結果と前記第2の判定手段の判定結果とに従って多色且つ多値の画像信号を生成する画像生成手段とを備える。

【0009】

【作用】かかる構成によれば、第1の入力手段は多色且つ多値の画像信号を入力し、第1の判定手段は第1の入力手段で入力した画像信号に基づいて2値画像領域及び多値画像領域を判定し、記憶手段は第1の入力手段で入

力した画像信号及び第1の判定手段の判定結果を記憶し、第2の入力手段は多色且つ多値の画像信号を入力し、第2の判定手段は第2の入力手段で入力した画像信号に基づいて2値画像領域及び多値画像領域を判定し、画像生成手段は第2の入力手段によって入力された画像信号と記憶手段に記憶した画像信号とにに基づいて多色且つ多値の画像信号を生成する場合に、第1の判定手段の判定結果と第2の判定手段の判定結果とに従って多色且つ多値の画像信号を生成する。

【0010】

【実施例】以下に添付図面を参照して、本発明に係る好適な一実施例を詳細に説明する。

＜第1の実施例＞図2は本発明の第1の実施例によるデジタルカラー複写機の内部構成を示す側断面図である。

【0011】図2において、カラー原稿を読み取り、さらにデジタル編集処理等を行うカラーリーダ部101と、異なる色毎に像担持体を持ち、リーダ部から送られる各色のデジタル画像信号に応じて、カラー画像を再現出力するレーザカラープリンタ103より構成される。

【0012】図3及び図4は第1の実施例によるカラーリーダ部101におけるデジタル画像処理部の構成を示すブロック図である。同図において、301はCCD、302はA/D（アナログ-デジタル）・S/H（サンプルホールド）回路、303はシェーディング補正回路、304は入力マスキング回路、305は変倍回路、306は色検出部、307は文字検出部、308、312は演算部、309はエンコーダ、310、313はメモリ部、311はデコーダ部、314はセレクタ、315はレジスタ、316はマスキング・UCR（下色除去）回路、317は像域分離処理回路、318はγ（ガンマ）補正回路、319はエッジ強調回路、320はディレイ回路、329は領域生成部をそれぞれ示している。321～327、330～338、339～342、605、606、1207～1209、1419、1420、1510a、1510b、1505、1506は信号線を示している。

【0013】次に、上記構成による動作を説明する。

【0014】図示しない原稿台上のカラー原稿は図示しないハロゲンランプで露光される。その結果、反射像がCCD301にて撮像され、さらにA/D・S/H回路302にてサンプルホールドされた後A/D変換され、R、G、Bの三色のデジタル信号が生成される。各色分解データはシェーディング補正回路303にてシェーディング及び黒補正され、さらに入力マスキング回路304にてNTSC信号に補正され、変倍処理回路305にて拡大、縮小等の変倍がなされ、色検出部306、文字検出部307及び後述する演算部308に入力される演算部308の出力はメモリ部313に記憶される。さ

らに、複数の多値カラー画像処理（例えば、カラー画像合成）を行う時は、メモリ部313より出力するそれぞれCMYK用の文字信号、黒信号の内、夫々1ビットを図示しないCPU（レジスタ315）の命令に基づいてセレクタ314にて選択され、その出力はさらに演算部308に再入力する。

【0015】図13は第1の実施例による演算部312の構成を示すブロック図である。同図において、1204～1206はROM、1210～1212はセレクタ、1201～1203、1207～1209、1213～1215は信号線をそれぞれ示している。

【0016】演算部312は、逆LOG変換を施して、CMY信号をRGB信号に変換するROM1204～1206及び3つのセレクタ1210～1215より構成される。

【0017】次に、演算部312とメモリ部310との動作について説明する。

【0018】図6は第1の実施例によるメモリ部310の構成を示すブロック図であり、図7は第1の実施例による副走査方向イネーブルタイミング信号のタイミングチャートである。

【0019】図6において、601は画像メモリ、602、603は画像データを伝送する信号線、604はRAS0、CAS0、WE0の各信号を発生する発生部、607はアドレスカウンタをそれぞれ示している。

【0020】この演算部312は、エリア信号（AR0）に基づいて、多値カラー画像のカラー合成を行う回路である。同演算部312では、第1の原稿が読み込まれた時に、AR0信号が1ページ中で“H”的状態になる。その結果、D0～D2（信号線1207～1209）がセレクタ1210～1212でそれぞれ選択され、出力F0～F2（信号線1213～1215）がエンコーダ部309に入る。

【0021】さらに、この出力F0～F2はメモリ部313に記憶される。

【0022】次に、第2の原稿が読み込まれた時、DTOPを同期信号にしたマゼンタ（MAGENTA）のReadイネーブル605b及び主走査イネーブル信号606bにより画像メモリ601から圧縮データが読み出され、さらに伸張処理がアドレスカウンタ605でかけられ、さらに、ROM1204～1206で逆LOG変換がかけられる。そして、AR0に基づいて、第1の原稿と第2の原稿とがカラー合成され、第3のカラー画像信号が生成される。この信号F0～F2（1213～1215）はDTOP12に基づいた信号Writeイネーブル605a及び主走査ライトイネーブル信号606aにより再びメモリ部310に書き込まれる。

【0023】328は圧伸部である。後述する演算部312から出力され、エンコーダ部309で圧縮されたR、G、Bデータはメモリ部310に書き込まれ、さら

にメモリ部310より読み出された圧縮コードはデコーダ部311にて伸張され、各ドラムに対するYMC信号が outputする。その内、1系統のYMC信号は、カラー多値画像合成を行う演算部312に再入力する。

【0024】さらに、マスキング・UCR回路316にて4色分のマスキング、UCRがかけられ、さらに像域分離処理回路317にて文字検出部306、色検出部307及び演算部308の結果に基づいた像域分離処理がさなされる。演算部318では γ 補正、エッジ強調回路319ではエッジ強調がかけられ、4色分のデータがLB Pプリンタ103に出力される。又、ディレイ回路320ではビデオ信号（信号線321～324）と、LB Pプリンタ103にて処理される高解像／高階調処理の為の切り換え信号との同期合せが行なわれる。

【0025】329は領域生成部で、画先センサの出力であるDTOP（信号線325）、紙先センサの出力であるITOP（信号線326）及び水平同期信号HSNC（信号線327）に基づいて、メモリ部310、313の書き込み、読み出しの主走査、副走査イネーブル及び演算部312、308におけるビデオセレクト信号AR0、AR1を生成する部分である。

【0026】図2のLB Pプリンタ部103において、201はビデオ処理部101において生成されたレーザ光を感光ドラム上に走査させるポリゴンスキャナであり、202は初段のマゼンタ（M）の画像形成部である。同様の構成でシアン（C）、イエロー（Y）、ブラック（K）の各色についての画像形成部を203、204、205で示す。

【0027】画像形成部202において、218はレーザ光の露光により潜像を形成する感光ドラムであり、213はドラム218上にトナー現像を行う現像器であり、現像器213内の214は現像バイアスを印加し、トナー現像の行うスリープであり、215は感光ドラム218を所望の電位に帯電させる1次帯電器であり、217は転写後のドラム218の表面を清掃するクリーナであり、216はクリーナ217で清掃されたドラム218の表面を除電し、1次帯電器215において良好な帯電を得られるようにする補助帯電器であり、230はドラム218上の残留電荷を消去する前露光ランプであり、219は転写ベルト206の背面から放電を行い、ドラム218上のトナー画像を転写部材に転写する転写部材である。

【0028】209、210は転写部材を収納するカセットであり、208はカセット209、210から転写部材を供給する給紙部であり、211は給紙部208により給紙された転写部材を転写ベルト206に吸着させる吸着帶電器であり、212は転写ベルト206の回転に用いられると同時に吸着帶電器211と対になって転写ベルト206に転写部材を吸着帶電させる転写ベルトローラである。

【0029】224は転写部材を転写ベルト206から分離しやすくするための除電帶電器であり、225は転写部材が転写ベルトから分離する際の剥離放電による画像乱れを防止する剥離帶電器であり、226、227は分離後の転写部材上のトナーの吸着力を補い、画像乱れを防止する定着前帶電器であり、222、223は転写ベルト206を除電し、転写ベルト206を静電的に初期化するための転写ベルト除電帶電器であり、228は転写ベルト206の汚れを除去するベルトクリーナである。207は転写ベルト206から分離され、定着前帶電器226、227で再帶電された転写部材上のトナー画像を転写部材上に熱定着される定着器である。229は給紙部208により転写ベルト上に給紙された転写部材の先端を検知する紙先端センサであり、紙先端センサからの検出信号403はプリンタ部からリーダ部に送られ、カラーリーダ部101からプリンタ部103にビデオ信号を送る際の副走査同期信号として用いられる。

【0030】図5は第1の実施例による圧縮・伸張を説明する図である。

【0031】圧伸部328はエンコーダ部309によりデータ圧縮される。例えば、図5の太枠斜線部の部分について考えると、1マスが1画素に相当し、この1画素にはRGB3色のデータがそれぞれ8ビットずつあり、これを4画素×4ライン、すなわち16画素分のデータを1ブロックとしてL'a'b'変換し、この16画素×3色×8bit=384のデータを1/12に圧縮し、32bitデータとする。これをいま画像データ908として、メモリ部707に格納し、これを4色同時処理にてYMC Kそれぞれのデコーダ部708に画像データ909として送り、YMC Kそれぞれ24bitにデータ伸張する。

【0032】このとき、メモリ部310には読み取り原稿あるいは記録紙に応じたメモリ空間を持っており、図5のように、同一アドレス空間上に画像メモリ601（32bitデータ）を持つ。画像メモリ601は、ここではDRAMとして説明するが、それ以外の記憶手段でも構わない。そして、これらアドレスバスが共通になっており、アドレスカウンタ607は4画素×4ラインを1単位として、メモリ空間の1アドレスとし、そこに32bitのデータを図7の（ロ）のタイミング（605a）で格納し、（ホ）～（チ）（605b～605e）のようにYMC Kそれぞれのタイミングで読み出していく。

【0033】図8は第1の実施例による画像メモリのリード・ライトを説明する図である。ここで、4画素×4ラインを、図8のように、8個のブロックに時分割し、それぞれのブロックで画像メモリへの画像データの書き込みや各色の読み出しなどをあらかじめ決めておき、それぞれ独立してメモリ空間のアドレスへアクセスする系を考

【0034】図9、図10、図11は第1の実施例による画像メモリの構成を示すブロック図であり、図12は第1の実施例による画像イメージを説明する図である。

【0035】図9～図11において、800～807, 901～908, 917～924, 1001はラッチ、1005～1009はDフリップ・フロップ、808, 925, 1002はセレクタ、809, 926はカウンタ、810, 927はアーダーをそれぞれ示している。

【0036】このとき、図9のよう、ラッチ0～7(800～807)に図示しないCPUから主走査方向の初期値をラッチさせる。例えば、順に000H, 810H, 020H, 830H, 040H, 850H, 060H, 870Hをラッチさせたとする。

【0037】次に、セレクタ808で、時分割により、図8のように各ブロックごとにラッチさせた初期値を選択していく。また、カウンタ809は各ラインの先頭の同期信号HSNCでカウント値を000H、さらにメモリライト時は主走査ライトイネーブル信号をリード時は主走査リードイネーブル信号をセレクト信号として、4画素毎にカウントアップしていき、アーダー810により2つの値を加減算して、XADRを出力する。このとき、それぞれの初期値の最上位ビットをXOFF信号とし、これが“0”的とき加算、“1”的とき減算すると、図8のブロック(イ)では、000H, 001H, 002H…とカウントアップし、ブロック(ロ)では、010H, 00FH, 00EH…とカウントダウンし、以下、同様にして、ブロック(チ)では、070H, 06FH, 06EH…とカウントダウンする。

【0038】次に、図10でも同様にして、901～908にも図示しないCPUから副走査方向の初期値をラッチさせ、主走査方向と同様に最上位ビットをYOFF信号として“0”ならばアーダー927を加算、“1”ならば減算させる。次に、カウンタ926は電源投入時のRST信号と共にクリアされ、電源OFFまで4ライン毎に1つカウントアップする。そして、前述の初期値Y₀とカウンタ926のカウント値C₁をアーダー901～916により加減算し、その計算値Y₀±C₁を図7の副走査方向のイネーブル信号の立上りの同期信号PS0～PS7でラッチ917～926にて記録紙1枚につき1コずつラッチする。これをセレクタ25にて時分割し、計算値Y₀±C₁を出力する。本実施例では、PS0, PS2, PS4はNC, PS1は副走査ライトイネーブルより生成、PS4は副走査イエローリードイネーブルより生成、PS5は副走査マゼンタリードイネーブルより生成、PS6は副走査シアンリードイネーブルより生成、PS7は副走査ブラックリードイネーブルより生成される。

【0039】更に、アーダー927にてラッチされた計算値Y₀±C₁と4ライン毎にアップするカウンタ値C₂とを加減算し、YADR=Y₀±C₁±C₂となる。即

ち、YOFF=“0”的ときはYADR=Y₀+(C₂-C₁)、YOFF=“1”的ときはY₀-(C₂-C₁)となり、初期値Y₀と実際のカウント値(C₂-C₁)とを加減算した値がYADRより出力される。

【0040】次に、図11より、ラッチ1001に図示しないCPUから図8の(イ)～(チ)のそれぞれのブロックごとにXADRとYADRを入れかえる信号YADRを入れ替える)をあらかじめ入れておき、各ブロックごとにセレクタ1003, 1004により選択してDフリップ・フロップ1005, 1006を経て、主走査方向アドレスとしてXMAを、副走査方向アドレスとしてYMAを出力する。また、前述のXYCHG信号、XOFF信号、YOFF信号の3つの信号をDフリップ・フロップ1007～1009にてXMA, YMAと同期を合わせて、信号ROT<0>, ROT<1>, ROT<2>を得る。そして、この3bitのROT信号により、図12の①～⑩のような画像イメージとなる。

【0041】以上のような方法により、図8の(ロ)のブロックにてROT信号を出力したい画像イメージに合わせてメモリに書き込み、(ホ)～(ト)～(チ)のブロックにてROT=000でメモリからそのまま読出して図12の①のような画像を入力したときに①～⑩のような8種類の出力画像が得られる。

【0042】図14及び図15は第1の実施例による文字画像検出部306～307の構成を示すブロック図である。同図において、1301, 1302は最小値検出回路、最大値検出回路を示している。1303はエツジ強調回路、1304は減算回路、1305～1308はラインメモリ、1309, 1310は平均値算出回路、1313, 1323はリミッタ、1314, 1319, 1324はオフセット、1315は加算器、1316, 1321, 1326はコンパレータ、1317, 1328, 1333はディレーリ回路、1318はリミックス、1329はORゲート、1322は網点領域判別回路、1327は輪郭回路、1331はインバータ、1332はANDゲート、1334A, 1334Bはブロック化回路、1330は誤判定除去回路をそれぞれ示している。

【0043】以上の構成において、変倍回路305より入力される色分解データ1207～1209は最小値検出回路1301及び最大値検出回路1302に入力される。選択されたそれぞれの信号は、減算回路1304でその差分を求める。差分が大、すなわち入力されるR, G, Bが均一でない場合、白黒を示す無彩色に近い信号でなく何らかの色にかたよった有彩色であることを示す。当然この値が小さければ、R, G, Bの信号がほぼ同程度のレベルであることであり、なにかの色にかたよった信号でない無彩色信号であることがわかる。この差分信号はグレイ信号とし、ブロック化回路1

334Aにて4×4のブロック化を多数決処理等で行い、ディレイ回路1333に出力され、さらにメモリ部313に入力される。

【0044】最小値検出回路1301で求められた最小*

$$D_{out} = (9/8) D_i - (1/16) (D_{i-1} + D_{i+1}) \dots (1)$$

である。D_{out}はエッジ強調後の画像データ、D_iはi番目の画素データをそれぞれ示す。

【0045】なお、エッジ強調は必ずしも上の方法に限らず、他の公知の技術を用いても良い。主走査方向に対しエッジ強調された画像信号は、次に5×5および3×3のウィンドウ内の平均値算出が、5×5平均をとる平均値算出回路1309、3×3平均をとる平均値算出回路1310で行われる。ラインメモリ1305～1308は、平均処理を行うための副走査方向の遅延用メモリである。5×5平均をとる平均値算出回路1309で算出された5×5平均値は次にやはり図示されていないCPU・BUSに接続されたオフセット部に独立にセットされたオフセット値と加算器1315、1319、1324で加算される。加算された5×5平均値はリミッタ1313、リミッタ1318、リミッタ1323に入力される。各リミッタ1313～1323は、図示しないCPU・BUSで接続されており、それぞれ独立にリミッタ値がセットできる構成されており、5×5平均値が設定リミッタ値より大きい場合、出力はリミッタ値でクリップされる。各リミッタからの出力信号は、それぞれコンパレータ1316、1321、1316に入力される。まず、コンパレータ1316では、リミッタ1313の出力信号と3×3平均1310からの出力とで比較される。比較されたコンパレータ1316の出力は、後述する網点領域判別回路1322からの出力信号と位相を合わせすべくディレイ回路1317に入力される。この2値化された信号は、任意の濃度以上でMTFによるつぶれ、かつ、とびを防止するために平均値での2値化を行っており、また網点画像の網点を2値化で検出しないよう、網点画像の高周波成分をカットするため、3×3のローパスフィルタを介している。次に、コンパレータ1321の出力信号は、後壇にある網点領域判別回路1322で判別できるよう、画像の高周波成分を検出すべくスルーバイオードとの2値化が行われている。網点領域判別回路1322では、網点画像のドットの集まりで構成されているため、エッジの方向からドットであることを確認し、その周辺のドットの個数をカウントすることにより検出している。

【0046】このようにして、網点領域判別回路1322で判別した結果と前記ディレイ回路1317からの信号とでORゲート1329をとった後、誤判定除去回路1330で誤判定を除去する。この誤判定除去回路1330では、文字等は細く画像は広い面積が存在する特性を生かし2値化された信号に対し、まず、画像域を細らせ、孤立して存在する画像域をとる。具体的には、中心

* 値信号は、他にエッジ強調回路1303に入力される。エッジ強調回路1303では、主走査方向の前後画素データを用い以下の式(1)に従って演算を行うことによりエッジ強調が行われている。即ち、

$$D_{out} = (9/8) D_i - (1/16) (D_{i-1} + D_{i+1}) \dots (1)$$

画素x_ijに対し、周辺1mm角のエリア内に1画素でも画像以外の画素が存在する時、中心画素は画像外域と判定する。このように孤立点の画像域を除去した後、細った画像域を元にもどすべく太らせ処理が行われる。同様に、網点判別回路1322の出力は直接誤判定除去回路1331に入力され、細らせ処理、太らせ処理が行われる。ここで細らせ処理のマスクサイズは、太らせ処理のマスクサイズと同じか、もしくは太らせ処理の方を大とすることにより、太らせた時の判定結果がクロスするようになっている。具体的には、17×17画素のマスクで細らせた後、さらに5×5のマスクで細らせ、次に34×34画素のマスクで太らせ処理が行われている。

【0047】次に、コンパレータ1326からの出力信号は後段で文字をシャープに処理すべく入力画像信号の輪郭を抽出している。抽出方法としては、2値化されたコンパレータ1326の出力に対し5×5のブロックでの細らせ処理、および太らせ処理を行い太らせた信号と細らせた信号の差分域を輪郭この様な方法により抽出した輪郭信号は、インバータ1331より出力されるマスク信号との位相を合わせるべく、ディレイ回路1328を介した後、ANDゲート1332にかけられ、さらに後述する圧縮のブロック単位(4×4)にあわせるべく4×4ブロック内の多数決処理等により、ブロック化をブロック化回路1334で行い、後段の演算部308に入力する。

【0048】図16は第1の実施例による演算部308の構成を示すブロック図である。同図において、演算部308は、ANDゲート1401、1403、1408、1406、1411、ORゲート1402、1404、1407、1409、1412、4701、4to1セレクタ1405、1410より構成される。さらに、1413、1414、1405、1416、1417、1418は図示しないCPUにより設定されるレジスタを示している。又、A0(信号線1336)は色検出部306で求められた黒か、それ以外かを示す信号で、A1(信号線1335)は文字検出部307で求められた文字部か、それ以外かを示す信号である。さらに、B0(信号線1419)はメモリ部2・313より出力された黒か、それ以外かを示す信号で、B1(信号線1420)はメモリ部313より出力された文字部か、それ以外かを示す信号である。

【0049】この演算部308では、エリア信号AR1及びレジスタ1413、1414、1415、1416、1417、1418に基づいて、2種類の多値～画像の編集処理を行う際、それぞれ求められた像域信号

(A0, A1, B0, B1) を用いて新たな像域信号 (C0, C1) を求める回路である。

【0050】以下、本実施例で実現できる多値カラー画像のカラー合成を例に説明を続ける。

【0051】第1の原稿が読み込まれた時、AR1は1ページ中“L”、レジスタ1413には“H”、レジスタ1414には“L”、レジスタ1415には“H”、レジスタには1416“L”、レジスタには1417“H”、レジスタには1418“L”、レジスタ1423には“H”がセットされる。その結果、2つのセレクタ1405, 1410共、CつまりA0(信号線1336), A1(信号線1337)がセレクトされ、C0(信号線1421)からはA0(信号線1336)、C1(信号線1422)からはA1(信号線1337)が出力され、それぞれがメモリ部313で記憶される。次に、第2の原稿が読み込まれた時、DTOPを同期信号とした副走査イネーブル1505(b~e)の内の1つと読み出し、主走査イネーブル信号1506bに基づき、メモリ313より第1の原稿の像域分離信号が読み出され、そしてAR1に基づいて第1の原稿と第2の原稿の像域信号より、第3の像域分離信号が生成される。この時、レジスタ1413~1418は上記と同じ設定で第2の原稿が選択される時にAR1 = “0”、第1の原稿が選択される時にAR1 = “1”となる。この結果、第1の原稿の部分では、B0(信号線1419), B1(信号線1420)が、第2の原稿の部分ではA0(信号線1336), A1(信号線1337)がそれぞれC0(信号線1421), C1(信号線1422)よりセレクトされ、これらの信号はDTOPに基づいた信号副走査ライトイネーブル信号1505aと主走査ライトイネーブル信号1506aに基づき、再びメモリ部313に書き込まれる。

【0052】図17は第1の実施例によるメモリ部313の構成を示すブロック図であり、図18は第1の実施例による副走査方向イネーブルタイミング信号のリード/ライトサイクルを説明する図である。

【0053】図17において、メモリ部313は、像域メモリ1501、アドレスカウンタ1504及びRA, CAS信号、WE信号を生成する1506、2ビットデータを8ビットにする水増し部1508より成る。

【0054】像域メモリ1501は読み取り原稿に応じたメモリ空間(4Mbit)を持っている。さらに、このメモリ部313はDRAMとして説明するが、それ以外の記憶手段でも構わない。又、アドレスカウンタ1504は4画素×4ラインを1単位としてメモリ空間の1アドレスとし、そこに2bitのデータを図17の(ロ)のタイミングで格納し、それぞれ(ホ)~(チ)のタイミングでYMC Kのそれぞれの4画素×4を8コのブロックに分け、それぞれのブロックでメモリへの像域データの書き込み、読み出しをあらかじめ定めてお

き、それぞれのタイミングで読み書きを行い、特に読み出しに対してはそれぞれのタイミングで読み出された信号を任意のタイミングでラッチし、1ビット信号を4ビット信号に膨らませる処理を水増し部1508で行っている。又、アドレスカウンタ1504の構成は、メモリ部310と全く同じ構成をしているので、ここでは省略する。又、2つのメモリ部310, 313に入る主走査、副走査イネーブル信号は、それぞれHSYNC, DTOP又はITOPを基準につくられており、それぞれの処理(圧伸処理、像域判定検出、演算部308, 312による演算)でかかる時間差が考慮されて作られている。

【0055】像域分離処理回路317は、前述の色検出部306、文字検出部307、演算部308で生成された判定信号に基づいて黒文字、色文字、中間調画像(網点を含む)についてそれぞれ以下の処理を施す。

【処理1】処理1は、黒文字に関する処理である。

【0056】[1-1] ビデオとしてスミ抽出で求められた信号331, 333, 335, 337を用いる。

【0057】[1-2] Y(334), M(330), C(332)データは設定値に従って減算を行う。一方、Bk(336)データは設定値に従って加算を行う。

【0058】[1-3] エッジ強調を行う。

【0059】[1-4] なお、黒文字は400線(400dpi)にてプリントアウトする。

【0060】[1-5] 色残り除去処理を行う。

【処理2】処理2は、色文字に関する処理である。

【0061】[2-1] エッジ強調を行う。

【0062】[2-2] なお、色文字は400線(400dpi)にてプリントアウトする。

【処理4】中間調画像に関する処理

【4-1】スムージング(主走査方向に2画素ずつ)またはスルーレの選択を可能とする。

【0063】次に、上記処理を行う回路について説明する。

【0064】図19及び図20は第1の実施例による像域分離処理回路の構成を示すブロック図である。図19及び図20では、M成分のみの回路図を示しているが、他3色(C, Y, K)に関しても同様なのでここでは省略する。

【0065】図19及び図20の回路は、ビデオ入力信号219またはMBK219を選択するセレクタ6e、そのセレクタを制御する信号を生成するANDゲート6e'、後述する色残り除去処理を行うブロック16e、同処理のイネーブル信号を生成するANDゲート16e'、セレクタ6eの出力13eと1/Oポートの設定値14e乗算を行う乗算器15e、XORゲート20e、ANDゲート22e、加減算器24e、1ラインデータを遅延させるラインメモリ26e, 28e、エッジ

強調ブロック 30 e, スムージングブロック 31 e, スルーデータまたはスムージングデータを選択するセレクタ 33 e, 同セレクタの制御信号の同期あわせのためのディレイ回路 32 e, エッジ強調の結果またはスムージングの結果を選択するセレクタ 42 e, 同セレクタの制御信号の同期あわせのためのディレイ回路 36 e および OR ゲート 39 e, AND ゲート 41 e, 文字判定部に対して 400 線 (d p i) 信号 ("L" 出力) を出力するためのインバータ回路 44 e, AND 回路 46 e, OR 回路 48 e およびビデオ出力 225 と 224 の同期合わせのためのディレイ回路 43 e より構成される。また、像域分離処理は I/O ポート 1 e を介して図示しない CPU バスと接続されている。

【0066】以下、黒文字部のエッジの周辺に残る色信号を除去する色残り除去処理と黒文字部判定部の Y, M, C データに対してある割合で減算し、B k データに対してはある割合で加算を行う第 1 の部分、文字部に対してエッジ強調、網判定部にスムージング、その他の階調画像はスルーデータを選択する第 2 の部分、文字部に対しては 338-a を "L" にする (400 d p i でプリントする) 第 3 の部分の 3 つに分けそれぞれについて説明する。

【0067】まず、第 1 の部分である色残り除去処理および加減算処理について説明する。ここでは、無彩色であるという信号 G R B i 1510-1 と文字部であるという信号 M j A R 1510 b-1 の両方がアクティブである所、つまり黒文字のエッジ部とその周辺部に対する処理であって、黒文字のエッジ部からはみ出している Y, M, C 成分の除去と、エッジ部のスミ入れを行っている。

【0068】次に具体的な動作説明を行う。

【0069】図 21 は第 1 の実施例による黒文字の処理を説明する図である。

【0070】上記第 1 の部分の処理では、文字部判定を受け (M j A R 1510 b-1 = "1") 、黒文字である (G R B i 1510 a-1 = "1") 場合に行われる。したがって、セレクタ 6 e ではビデオ入力 219 が選択 (I/O-6 (5 e) に "0" セット) される。従って、15 e, 20 e, 22 e, 17 e ではビデオ 8 e より減算するデータが生成される (C, Y データについても同様)。

【0071】さらに、セレクタ出力データ 13 e と I/O-14 e にセットされた値との乗算が乗算器 15 e で行われる。ここで 13 e に対し 0 ~ 1 倍のデータ 18 e が生成される。レジスタ 9 e, 25 e に 1 を立てることにより、18 e の 2 の補数データが 17 e, 20 e, 22 e にて生成される。最後に加減算器 24 e にて 8 e と 23 e の加算 23 e は 2 つの補数なので実際は 17 e - 8 e の減算が行われ、25 e より出力される。

【0072】記録色 B k データ (336) の場合は、セ

レクタ 6 e にて B k M j 337 が選択 (I/O-6 ~ 5 e に "1" セット) される。15 e, 20 e, 22 e, 17 e ではビデオ 17 e に加算するデータが生成される。上記 M 時と異なる点は I/O-4, 9 e に "0" をセットすることでこれにより 23 e = 8 e, C i = 0 となり、17 e + 8 e が 25 e より出力される。係数 14 e の生成の仕方は Y, M, C 時と同様である。

【0073】この処理を図に示したのが図 21 である黒文字 N の斜線部を拡大したものが (a), (c) である。Y, M, C データに対しては文字信号部が "1" である所はビデオからの減算が (同図 (b)) , B k データに対しては文字信号部が "1" である所はビデオに対して加算が (同図 (d)) 行われる。この図では 13 e = 18 e つまり、文字部の Y, M, C データは 0、B k データはビデオの 2 倍の場合の例である。

【0074】この処理により、黒文字の輪郭部はほぼ黒単色で打たれるが、輪郭信号の外にある Y, M, C データ、図 21 の (b) に示した * 印は色残りとして文字の回りに残ってしまい見苦しい。

【0075】その色残りをとるものが色残り除去処理である。この処理は文字部の領域を拡げた範囲にはいっており、かつ、ビデオデータ 13 e が CPU がセットするコンパレート値より小さい所、つまり文字部の外側で色残りがある可能性を持っている画素について前後 3 画素または 5 画素の再承知をとるようにする処理である。次に、回路を用いて説明を補足する。

【0076】図 22 は第 1 の実施例による文字領域拡大回路の構成を示すブロック図である。文字部領域を拡げるようとする働きをする文字領域拡大回路は、D F / F 65 e ~ 68 e および AND ゲート 69 e, 71 e, 73 e, 75 e, OR ゲート 77 e より構成される。

【0077】I/O ポート 70 e, 72 e, 74 e, 76 e に全て "1" を立てた時は M j A R 412 が "1" であるものに対し、主走査方向に前後 2 画素拡げた信号が I/O ポート 70 e, 75 e "0" 、71 e, 73 e "1" の時は主走査方向に前後 1 画素拡げた信号が S i g 2 · 18 e から出力される。

【0078】次に、色残り除去処理回路 16 e について説明する。

【0079】図 23 は第 1 の実施例による色残り除去処理の回路図であり、図 26 は第 1 の実施例による文字判定処理を説明する図である。

【0080】図 23 において、57 e は入力信号 13 e に対し、注目画素とその前後 1 画素の計 3 画素の最小値を選択する 3 画素 m i n セレクト回路、58 e は入力信号 13 e に対し、注目画素とその前後 2 画素の計 5 画素の最大値を選択する。5 画素 m i n セレクト回路、55 e は入力信号 13 e と I/O-18 (54 e) の大小を比較するコンパレータで 54 e の方が大きい場合に、1 を出力する。61 e, 62 e はセレクタ、53 e, 53

e' はORゲート、63e はNANDゲートである。

【0081】上記構成において、セレクタ60e はCPU・BUSからのI/O-19の値に基づいて、3画素minか、5画素minかを選択する。5画素minの方が色残り除去の効果が大きくなる。これはオペレータのマニュアル設定またはCPUの自動設定によりセレクトできる。

【0082】セレクタ62e は、NANDゲート63e の出力が“0”の時、すなわちコンパレータ55e によりビデオデータ13e がレジスタ値54e より小さいとされ、かつ文字部の信号を拡げた範囲にはいっており17e' が1の場合にはA側、そうでない場合にはB側が選択される。但し、このときレジスタ52e, 64e は“1”、レジスタ52e' は“0”である。

【0083】B側が選択されたときは、スルーデータが8e として出力される。

【0084】EXCON50e は、例えば輝度信号を2値化した信号が入力した時に、コンパレータ55e の代わりで用いることができる。

【0085】上記2つの処理を施したところを図26に示す。図26 (a) は黒文字Nで、図26 (b) は斜線部の濃度データであるY, M, Cデータにおいて文字と判定された領域、すなわち文字判定部 (*2, *3, *6, *7) は減算処理により0に、*1, *4は色残り除去処理により*0から*1, *5から*4となり、その結果0になり、図26 (c) が求められる。

【0086】なお、色文字については、図26 (f) に示すように変更は加えられない。】次に、第2の部分であるエッジ強調orスマージング処理について説明する。ここでは、文字判定部に対してはエッジ強調、網点に対してはスマージング、その他はスルーを出力する処理が行われる。

【0087】図24は第1の実施例によるエッジ強調のためのマトリックスを説明する図であり、図25は第1の実施例によるスマージング処理を説明する図である。

【0088】文字部でMjAR412が“1”であるので、25e, 27e, 29e の3ラインの信号より生成される3×3のエッジ強調30e の出力がセレクタ42e にてセレクトされ、43e より出力される。なお、ここでエッジ強調は図24に示すようなマトリックスと計算式から求められるものである。

【0089】網点部でSCRN35e が“1”、MjAR21e が“0”であるので27e に対してスマージング31e がかけられたものが、セレクタ33e, 42e にて出力される。なお、ここでスマージングは図25に示すごとく、注目画素がVn の時 $(V_n + V_{n+1}) / 2$ をVn のデータとする処理、つまり主走査2画素のスマージングである。これにより網点部に生じる可能性のあるモアレを防いでいる。

【0090】その他の部分、即ち、文字部（文字輪郭）

でも網点部でもないところでは、具体的には中間調の部分に対する処理が行われる。この時、MjAR1510b-1 およびSCRN35e ともに“0”なので、27e のデータがそのままビデオ出力43e より出力される。

【0091】文字が色文字の時は、文字判定部であっても、上記2つの処理は施されない。第1の実施例では主走査方向のみに色残り除去を施した例を示したが、主走査、副走査ともに色残り除去処理を施してもよい。

10 【0092】次に、第3の部分である文字部400線 (dp i) 出力処理について説明する。

【0093】ビデオ出力339に同期して48e から338a が outputされる。具体的にはMjAR1510b-1 の反転信号が43e に同期して出力される。文字部の時は224=0、その他の部分は200/400=“1”となる。

【0094】これにより、文字部判定部、具体的には文字の輪郭部は400線 (dp i) にて、その他は200線にてプリンタにて打たれる。

20 【0095】以上の様に、4色データにそれぞれ上述の処理を施し、その後 γ 補正回路318、エッジ強調319を、又4色分の200/400線、切換信号338をディレイ回路320にて信号線321～324の信号とそれぞれ同期させ、LBPプリンタ102に送る。

【0096】こうして、複数のカラー画像の編集処理時も最適な黒文字処理を施して出力することができる。

【0097】以上説明したように、第1の実施例によれば、カラー多値画像同士の編集処理を施す際、それぞれの像域分離信号に対する複数の演算手段を有し、さらにその内の1つをセレクトする手段を設けることにより、カラー多値画像同士の編集処理と黒文字処理の両立を可能にする効果がある。

＜第2の実施例＞次に、第2の実施例について説明する。

【0098】第2の実施例では、多値カラー画像同士のテクスチャ処理を例にとって説明する。

【0099】図28及び図29は第2の実施例によるカラーリーダ部におけるデジタル画像処理部の構成を示すブロック図であり、図30は第2の実施例による多値カラー画像同士のテクスチャ処理を説明する図である。

40 【0100】テクスチャ処理とは、図30に示す様に、メモリに書き込まれたパターン図26 (b) に対して変調をかけ、図30 (c) の様な出力を得る処理である。

【0101】このテクスチャ処理を実現する為のブロック図が図28及び図29である。この図28及び図29の構成と図3及び図4の構成との差異は、文字検出部の出力1335が演算部312にも入力されるところにあり、その他では同じ構成をとり、かつ同じ制御を行つ

ているので、説明を省略する。

【0102】また、以下の説明で、第1の実施例と同様の構成及び機能を有するものについては、同一番号を付して、説明を省略する。

【0103】図27は第2の実施例における演算部を説明する図である。図27の演算部は、図3及び図4の演算部312に対応する。逆LOG変換を施し、CMY信号をRGB信号に変換するROM1204～1206、ANDゲート2401、ORゲート2402、3つのセレクタ2403～2406、乗算器2406～2408より構成される。

【0104】この演算部では、エリア信号AR0及び文字部A1に基づき、多値カラー画像同士のテクスチャー処理を施す回路で第1の原稿、ここでは図30(b)の様なパターンが読み込まれた時、AR1は1ページの間オール“H”なる。さらに、図示しないCPUでレジスタ2409に80Mがセットされる。その結果、D0～D2が乗算器2406～2408より出力される。この乗算器はD0に対し0倍～1.99倍の出力が可能な構成をとっている。従ってAに80Hがセットされると1倍になる。そして、これらの信号がエンコーダ309に入り、メモリ部1602で記憶される。

【0105】次に、第2の原稿(図30(a)の様な原稿)が読み込まれた時、DTOPを同期信号にしたマゼンタ(MAGENTA)のReadイネーブル605b及び主走査イネーブル信号606bによりメモリ部602から圧縮データが読み出される。さらに、伸張処理がデコーダ部311で施され、さらにROM1204～1206で逆LOG変換がかかる。そして、この時、レジスタ2410に“1”をセットし、レジスタ2409に“80H”をセットすれば、AR0に基づき、AR0=“H”又はA1=“H”的時はD0がそのまま出力され、AR0=“L”かつA1=“L”的所はテクスチャー処理がかけられる。これは、具体的には指定された領域で、かつ第2の原稿の文字部以外のエリアにテクスチャー処理をかけていることを意味している。

【0106】さらに、この時の演算部308の動きを図16を用いて行う。第1の原稿が読み込まれた時、AR1は1ページ間、オール“L”、レジスタ1413=“H”、レジスタ1414=“L”、レジスタ1415=“L”、レジスタ1416=“L”、レジスタ1417=“L”、レジスタ1412=“L”、レジスタ1423=“H”がセットされる。この結果、C0(信号線1421)、C1(信号線1422)とも“L”が出力され、それぞれがメモリ313で記憶される。次に、第2の原稿が読み込まれた時、DTOPを同期信号とした副走査イネーブル1505(b～e)の内1つと読み出し、主走査イネーブル信号1506bに基づきメモリ313より第1の原稿の像域分離信号が読み出され、AR1に基づいて第1の原稿と第2の原稿の像域信号より第3の像

域信号が生成される。この時、レジスタ1413には“H”、レジスタ1414には“L”、レジスタ1415には“H”、レジスタ1416には“L”、レジスタ1417には“H”、レジスタ1418には“L”、レジスタ1423には“L”、AR1=a11=“H”がセットされる。これにより、テクスチャー処理がかけられない部分、具体的には領域以外及び領域内でかつ、第2の原稿の文字部に黒文字処理が施されることになる。

【0107】図31は第3の実施例による透かし合成を説明する図である。

【0108】透かし合成とは、図31に示す様に、画像(1)と画像(2)から画像(3)の様な出力を得るものである。

【0109】この透かし合成を実現する全体ブロック図は図3及び図4と同様であり、第1の実施例と異なるところは演算部312の回路構成及び演算部312、308の制御方法である。以下にそれらの説明を行う。

【0110】図32は第3の実施例における演算部の構成を示すブロック図である。図32の演算部は、図3及び図4の演算部312に対応する。第3の実施例による演算部は、逆LOG変換を施し、CMY信号をRGB信号に変換するROM1204～1206、ANDゲート2807～2809、乗算器2801～2806、加算器2810～2812より構成される。又、乗算器2801～2806はAに対し、0～1.99倍までを行なえる乗算器で、B1に“80H”がセットされた時、Aがスルーレアンド出力する様になっている。

【0111】この演算部では、エリア信号AR0に基づき、多値カラー画像同士のテクスチャー処理を施す回路図で、第1の原稿が読み込まれた時、AR0は1ページ間a11=“L”、レジスタ2814、2816、2818には“80H”がセットされる。この結果、F0～F2、1213～1215からはそれぞれD0～D2、1207～1207が出力し、さらにこれらの信号はエンコーダ309に圧縮され、メモリ部602で記憶される。

【0112】次に、第2の原稿が読み込まれる時、DTOPを同期信号にしたマゼンタ(Magenta)のReadイネーブル605b及び主走査イネーブル信号606bにより、メモリ部310から圧縮データが読み出される。さらに伸張処理がデコーダ部311で施され、さらにROM1204～1206で逆LOG変換がかけられる。その時、レジスタ2813、2815、2815にはX/X+Yをレジスタ2814、2816、2818してY/X+Yを、AR0=“H”をセットすることにより、第1の原稿と第2の原稿の透かし合成が施される。

【0113】さらに、この時の演算部308の動きを図

16を用いて行う。第1の原稿が読み込まれた時、AR1は1ページ間オール“L”，レジスタ1413には“H”，レジスタ1414には“L”，レジスタ1415には“H”，レジスタ1416には“L”，レジスタ1417には“H”，レジスタ1418には“L”，レジスタ1423には“H”がセットされる。この結果、C0(信号線1421)，C1(信号線1422)からはA0(信号線1336)，A1(信号線1337)が¹⁰出力され、それぞれがメモリ部313で記憶される。次に、第2の原稿が読み込まれた時、DTOPを同期信号とした副走査イネーブル1505(b～e)の内1つと読み出し、主走査イネーブル信号1506bに基づきメモリ部313より第1の原稿の像域分離信号が読み出され、AR1に基づいて第1の原稿と第2の原稿の像域信号より第3の像域信号が生成される。この時、レジスタ1413には“H”，レジスタ1414には“L”，レジスタ1415には“H”，レジスタ1416には“L”，レジスタ1417には“H”，レジスタ1418には“L”，レジスタ1423には“L”，AR1=a11“H”がセットされる。これにより、全エリアにて透かし合成をかけた時、どちらかの画像が文字であれば像域処理が施されることになる。又、あるエリアのみに透かし合成をかける時は、ANDゲート1403，1408が削除し、セレクタにそれぞれA0，A1を入力すればよい。

【0114】尚、本発明は、複数の機器から構成されるシステムに適用しても、1つの機器から成る装置に適用しても良い。また、本発明はシステム或は装置にプログラムを供給することによって達成される場合にも適用できることは言うまでもない。

【0115】

【発明の効果】以上説明したように、本発明によれば、カラー多値画像同士の編集処理と黒文字処理の両立を可能にする効果がある。

【図面の簡単な説明】

【図1】従来例を説明する図である。

【図2】本発明の第1の実施例によるデジタルカラー複写機の内部構成を示す側断面図である。

【図3】第1の実施例によるカラーリーダ部101におけるデジタル画像処理部の構成を示すブロック図である。

【図4】第1の実施例によるカラーリーダ部101におけるデジタル画像処理部の構成を示すブロック図である。

【図5】第1の実施例による圧縮・伸張を説明する図である。

【図6】第1の実施例によるメモリ部310の構成を示すブロック図である。

【図7】第1の実施例による副走査方向イネーブルタイミング信号のタイミングチャートである。

【図8】第1の実施例による画像メモリのリード・ライトを説明する図である。

【図9】第1の実施例による画像メモリの構成を示すブロック図である。

【図10】第1の実施例による画像メモリの構成を示すブロック図である。

【図11】第1の実施例による画像メモリの構成を示すブロック図である。

【図12】第1の実施例による画像イメージを説明する図である。

【図13】第1の実施例による演算部312の構成を示すブロック図である。

【図14】第1の実施例による文字画像検出部306～307の構成を示すブロック図である。

【図15】第1の実施例による文字画像検出部306～307の構成を示すブロック図である。

【図16】第1の実施例による演算部308の構成を示すブロック図である。

【図17】第1の実施例によるメモリ部313の構成を示すブロック図である。

【図18】第1の実施例による副走査方向イネーブルタイミング信号のリード／ライトサイクルを説明する図である。

【図19】第1の実施例による像域分離処理回路の構成を示すブロック図である。

【図20】第1の実施例による像域分離処理回路の構成を示すブロック図である。

【図21】第1の実施例による黒文字の処理を説明する図である。

【図22】第1の実施例による文字領域拡大回路の構成を示すブロック図である。

【図23】第1の実施例による色残り除去処理の回路図である。

【図24】第1の実施例によるエッジ強調のためのマトリックスを説明する図である。

【図25】第1の実施例によるスムージング処理を説明する図である。

【図26】第1の実施例による文字判定処理を説明する図である。

【図27】第2の実施例における演算部を説明する図である。

【図28】第2の実施例によるカラーリーダ部におけるデジタル画像処理部の構成を示すブロック図である。

【図29】第2の実施例によるカラーリーダ部におけるデジタル画像処理部の構成を示すブロック図である。

【図30】第2の実施例による多値カラー画像同士のテクスチャ処理を説明する図である。

【図31】第3の実施例による透かし合成を説明する図である。

【図32】第3の実施例における演算部の構成を示すブ

ロツク図である。

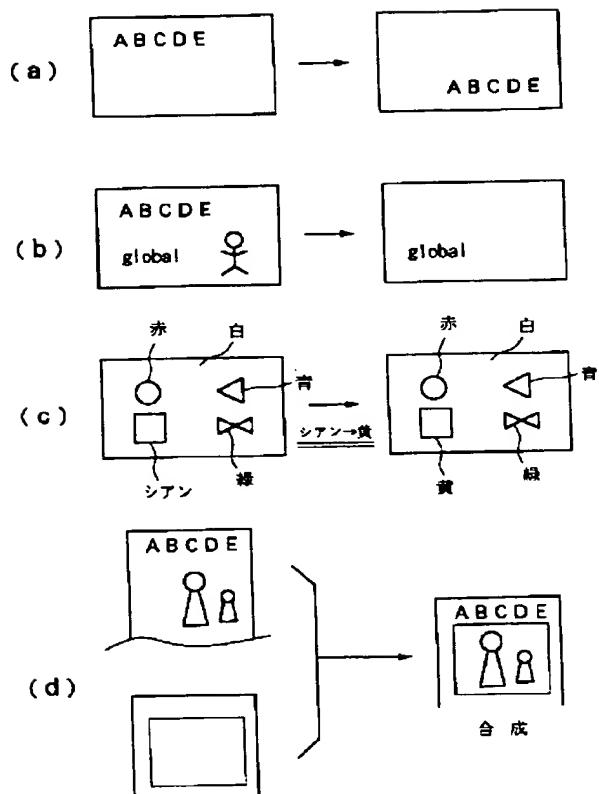
【符号の説明】

301 CCD
 302 A/D・S/H回路
 303 シエーディング補正回路
 304 入力マスキング回路
 305 変倍回路
 306 色検出部
 307 文字検出部
 308, 312 演算部
 309 エンコーダ
 310, 313 メモリ部
 311 デコーダ部

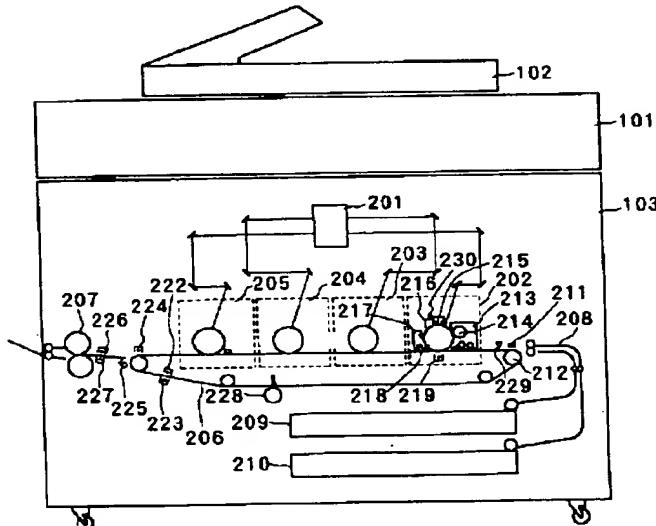
* 314 セレクタ

3 1 5 レジスタ
 3 1 6 マスキング・UCR回路
 3 1 7 像域分離処理回路
 3 1 8 γ 補正回路
 3 1 9 エッジ強調回路
 3 2 0 ディレイ回路
 3 2 9 領域生成部
 3 2 1～3 2 7, 3 3 0～3 3 8, 3 3 9～3 4 2, 6
 10 0 5 信号線
 6 0 6, 1 2 0 7～1 2 0 9, 1 4 1 9, 1 4 2 0 信号線
 1 5 1 0 a, 1 5 1 0 b, 1 5 0 5, 1 5 0 6 信号線

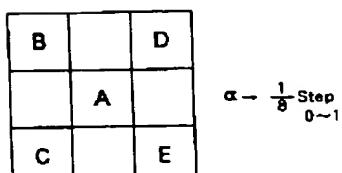
【习1】



【图2】

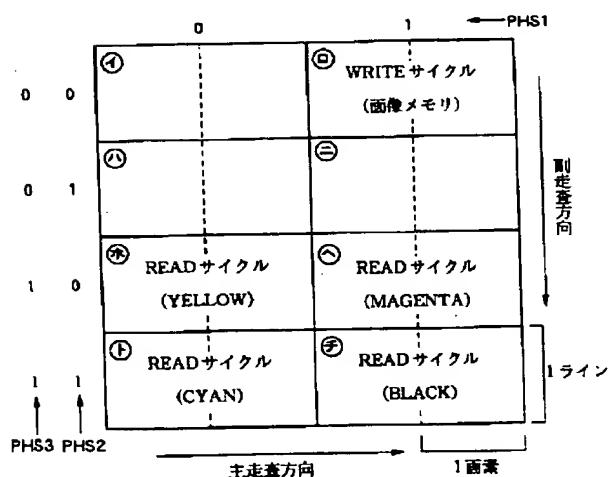


【图 24】

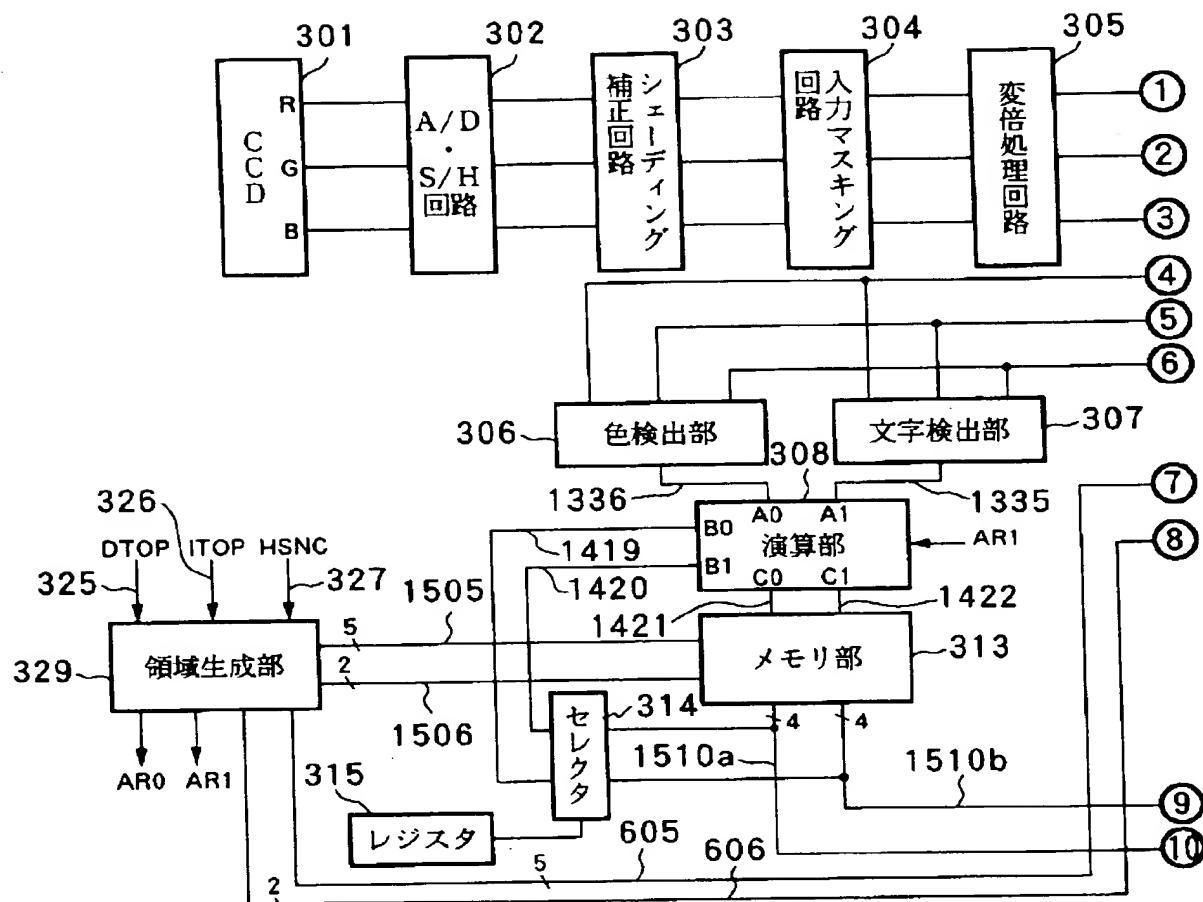


$$A \pm g/4A = (B+C+D+E)/3$$

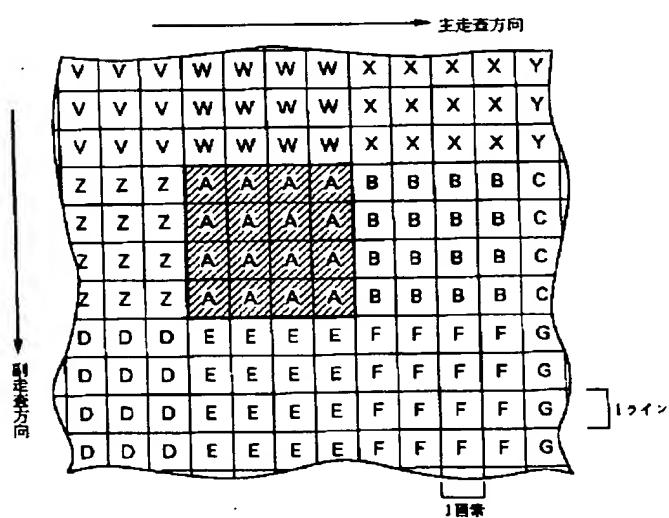
[圖 8]



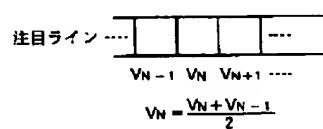
【図3】



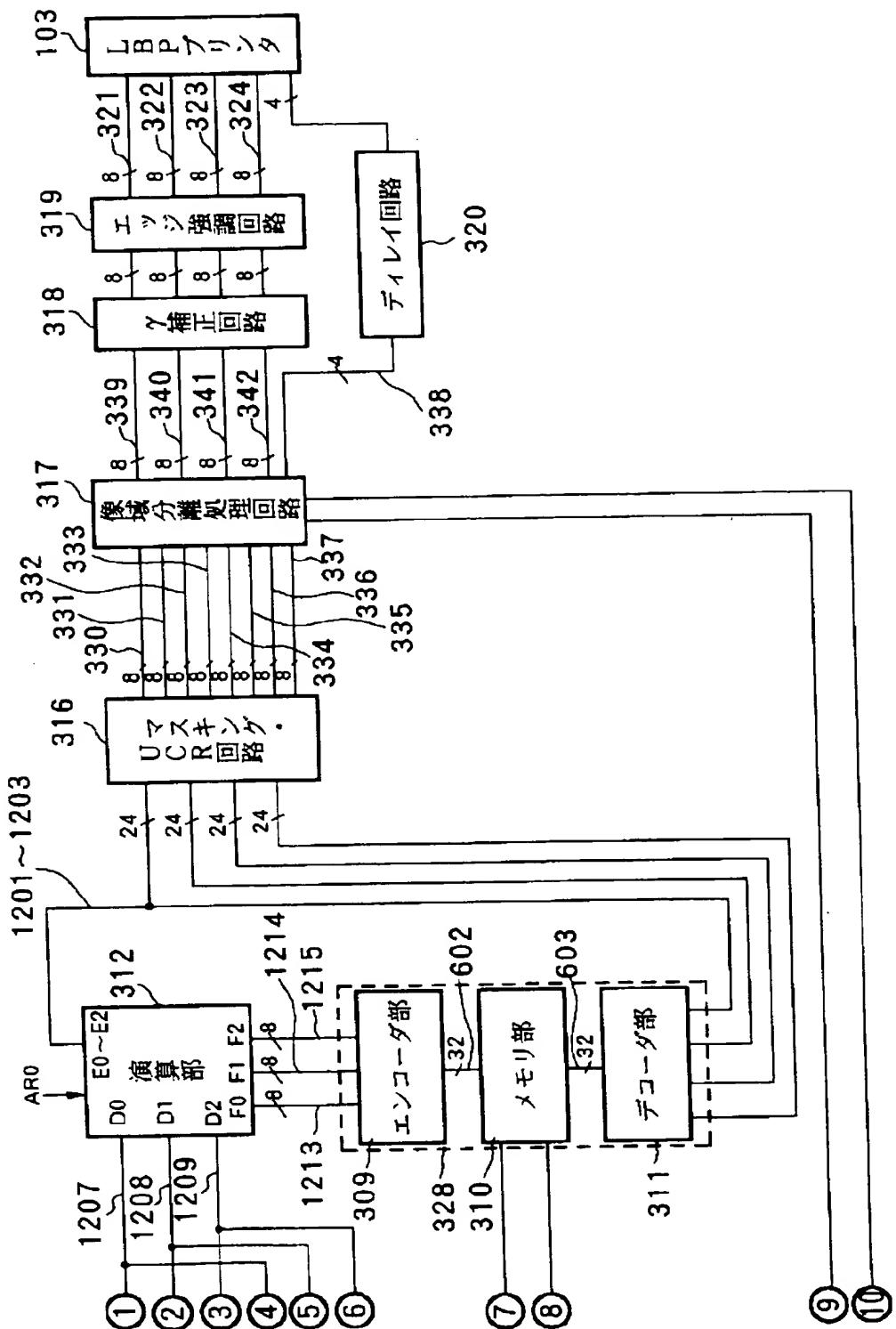
【図5】



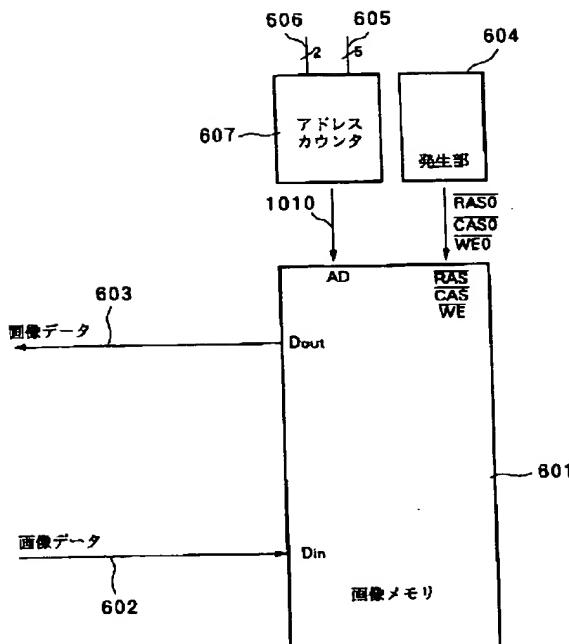
【図25】



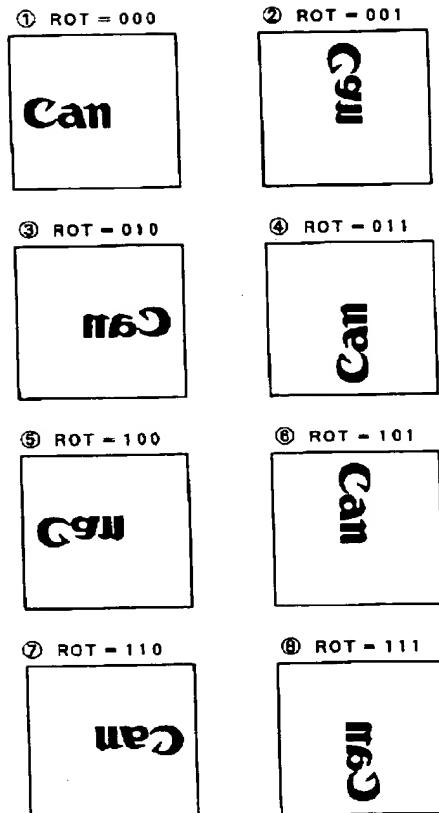
【図4】



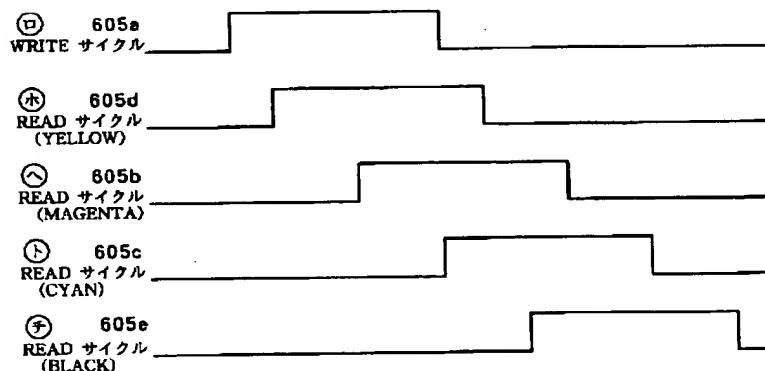
【図6】



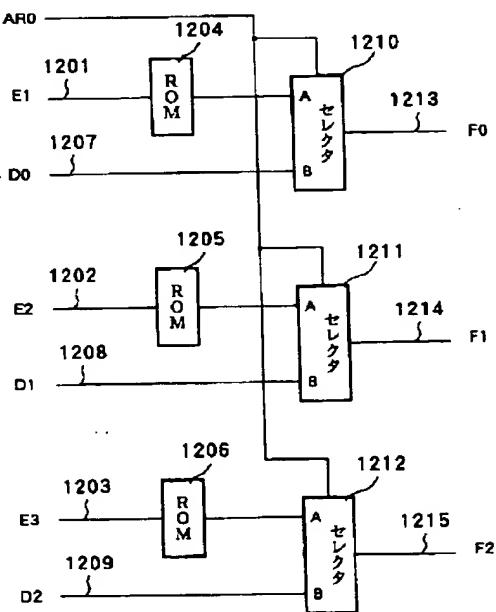
【図12】



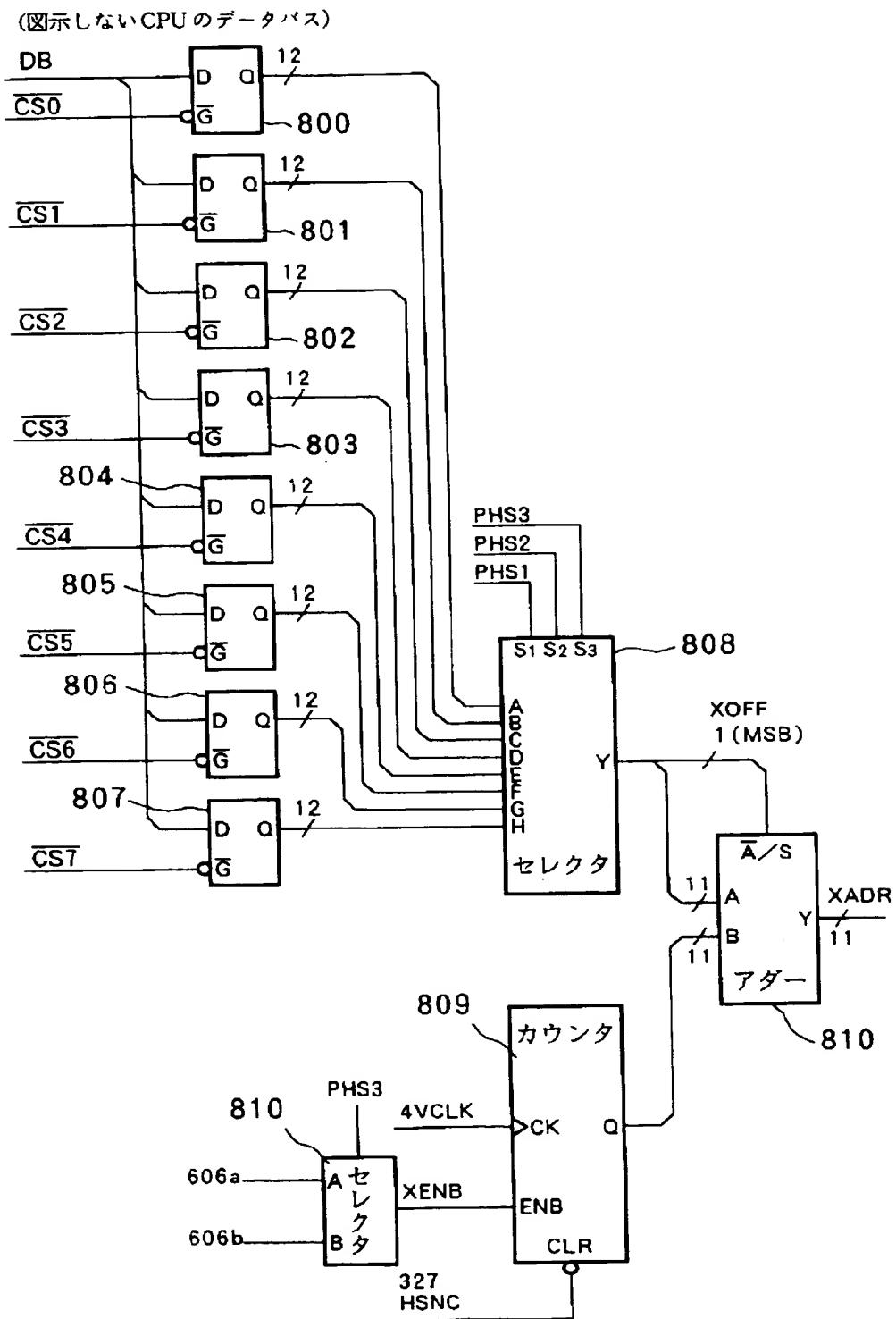
【図7】



【図13】

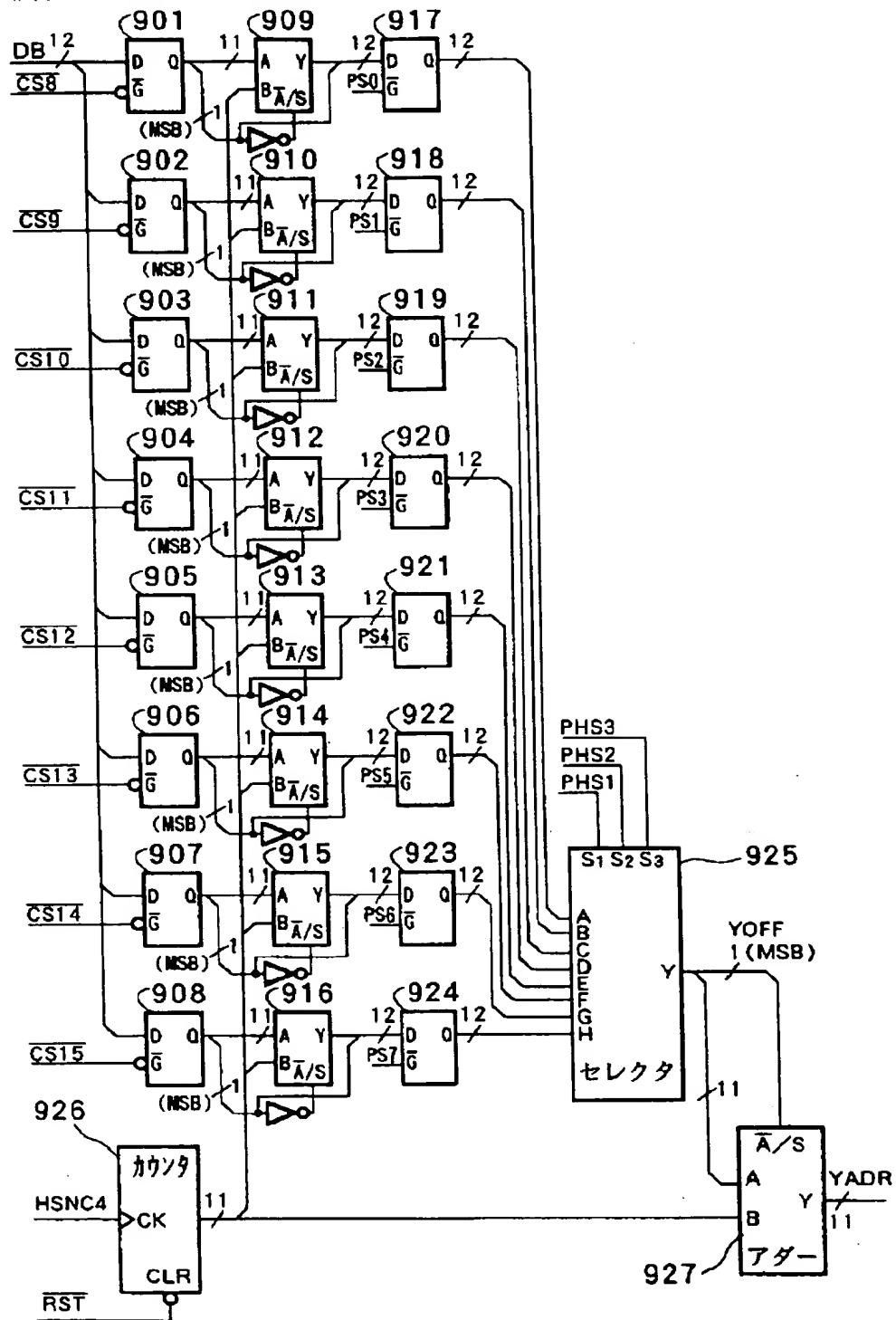


【図9】

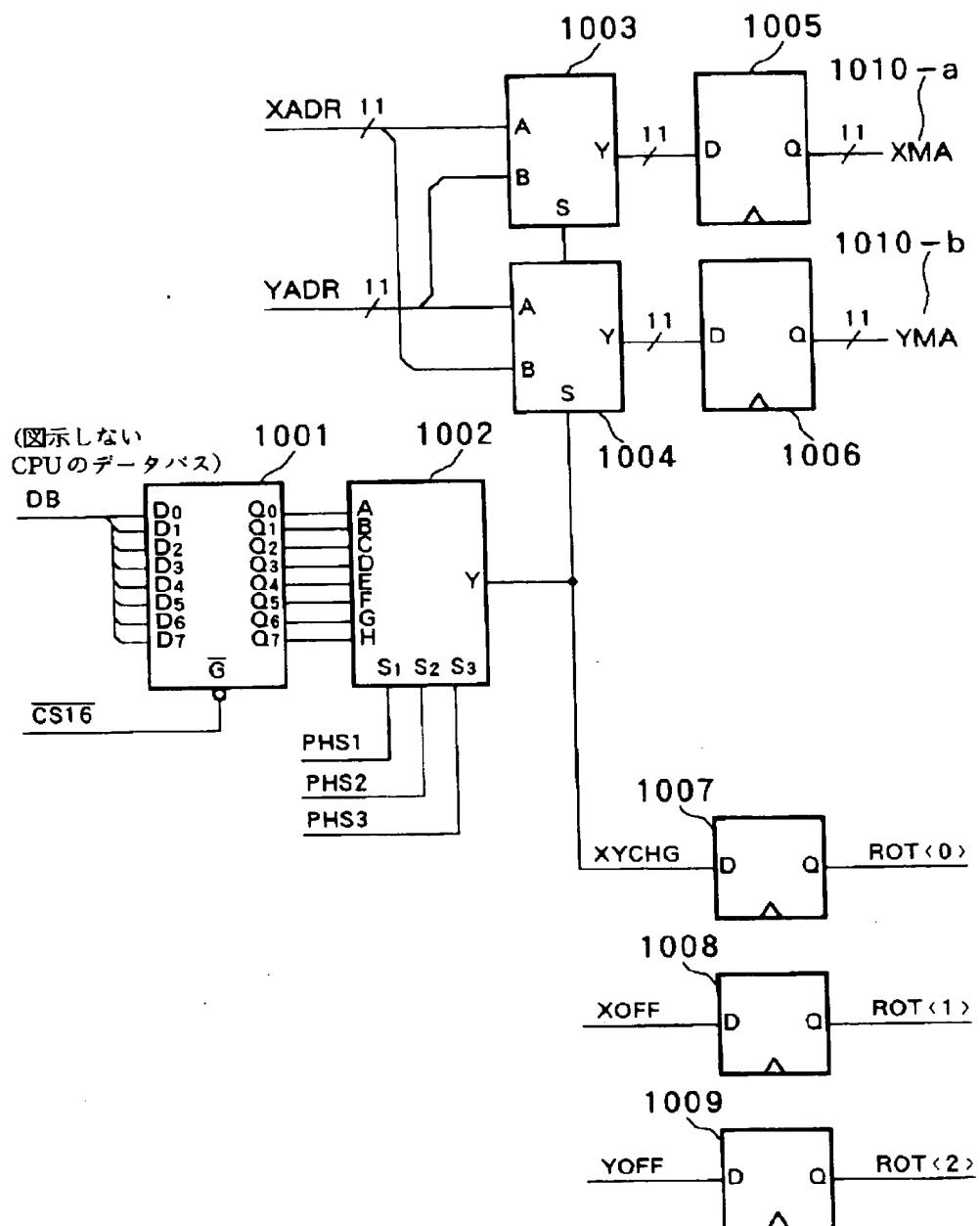


[図 10]

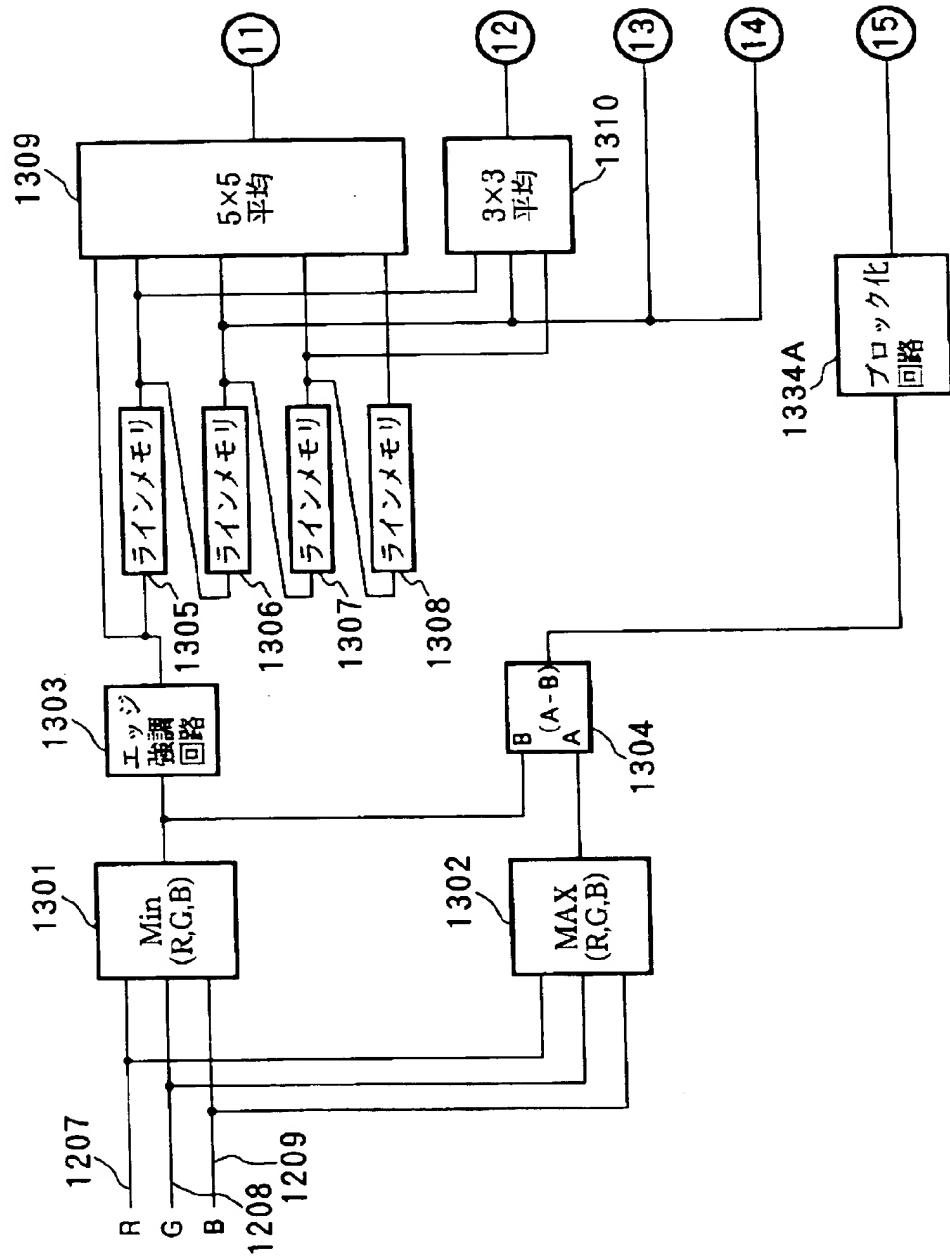
(図示しないCPUのデータバス)



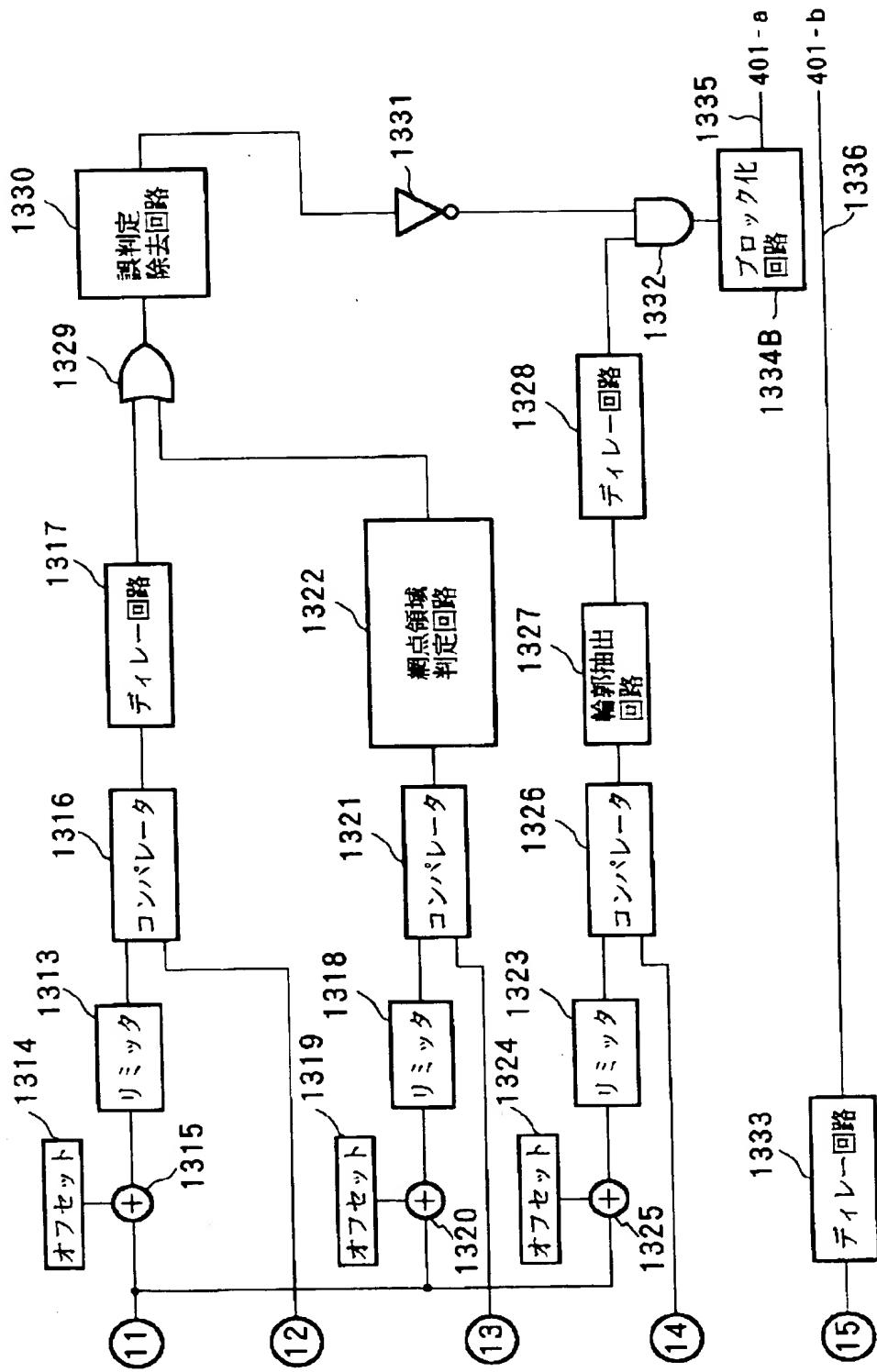
【図11】



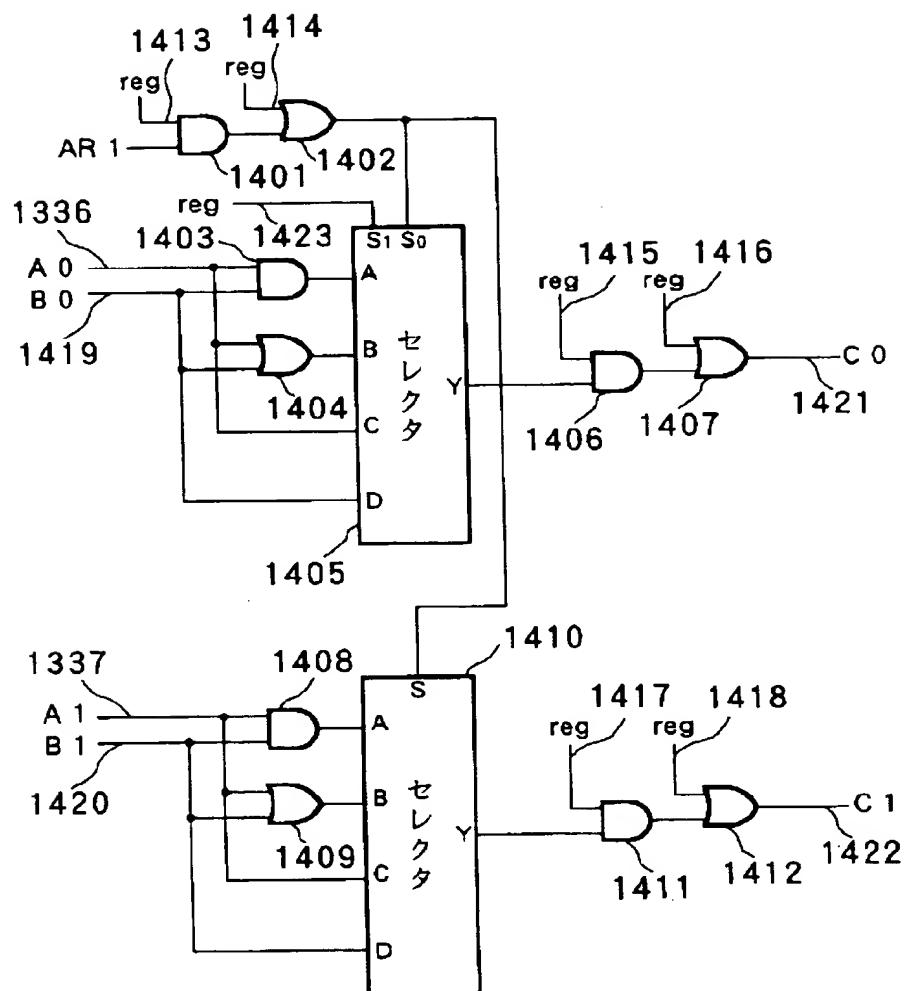
【図14】



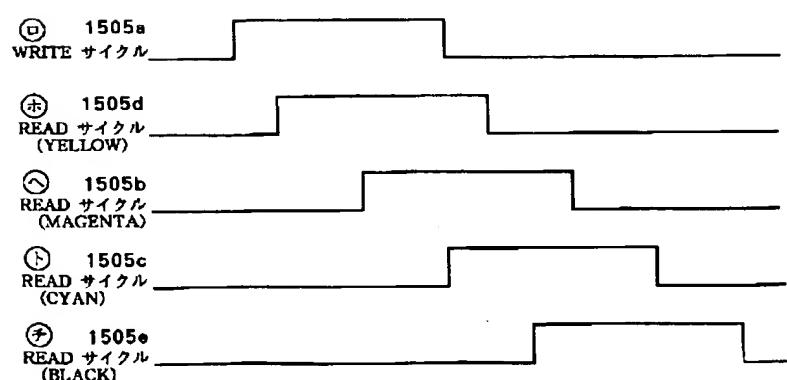
【図15】



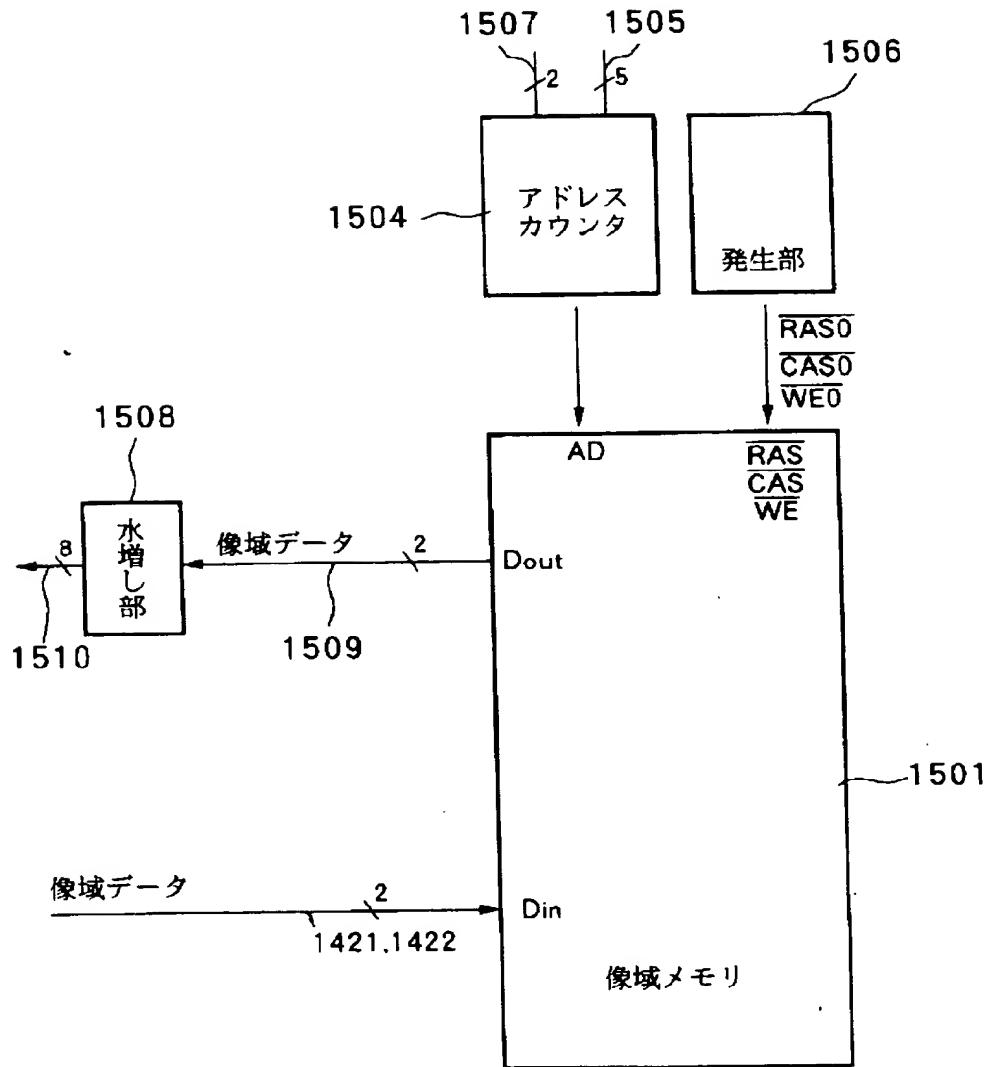
【図16】



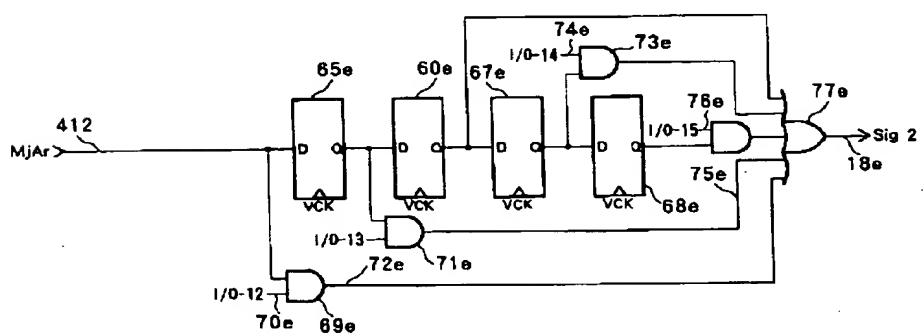
【図18】



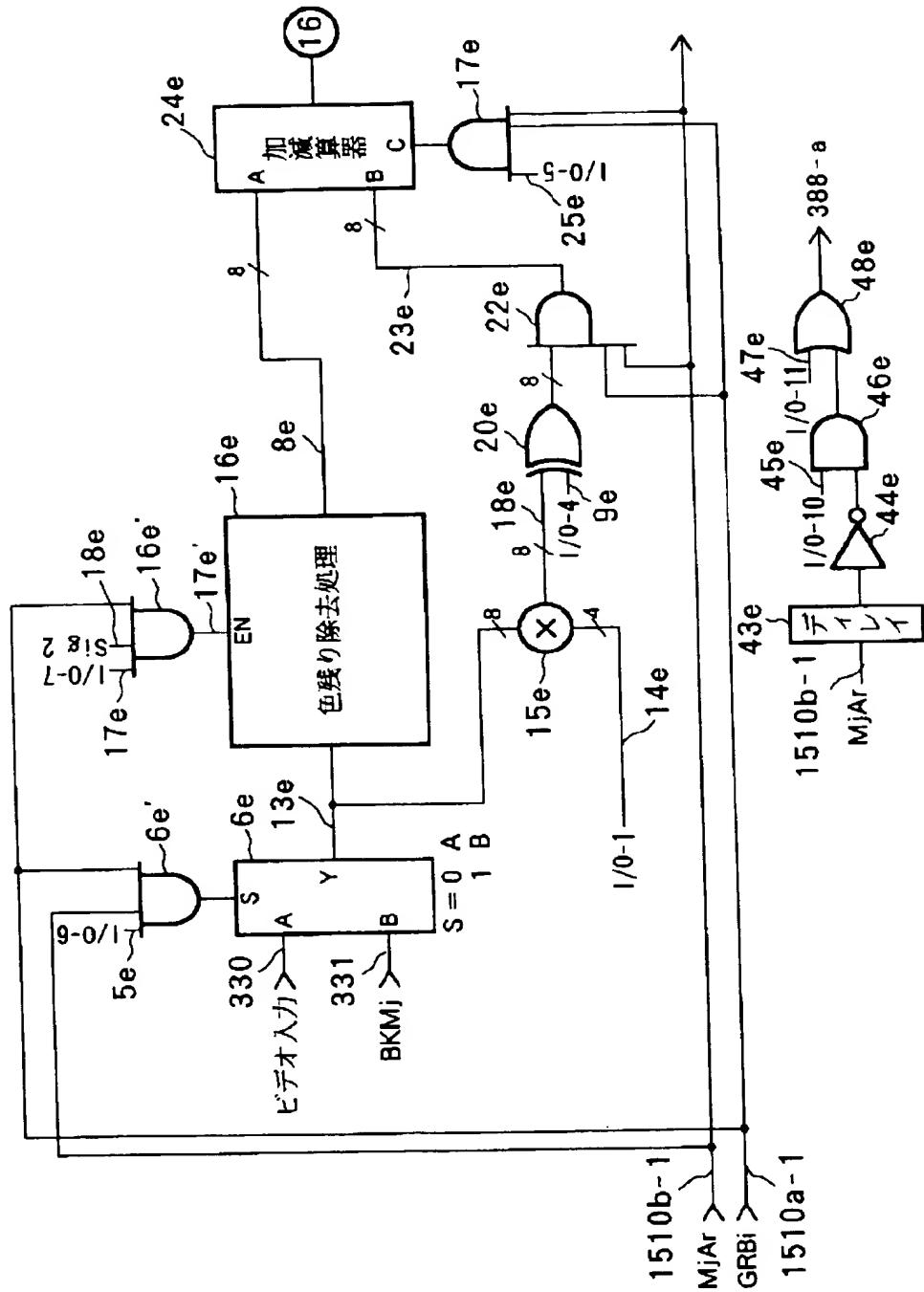
〔図17〕



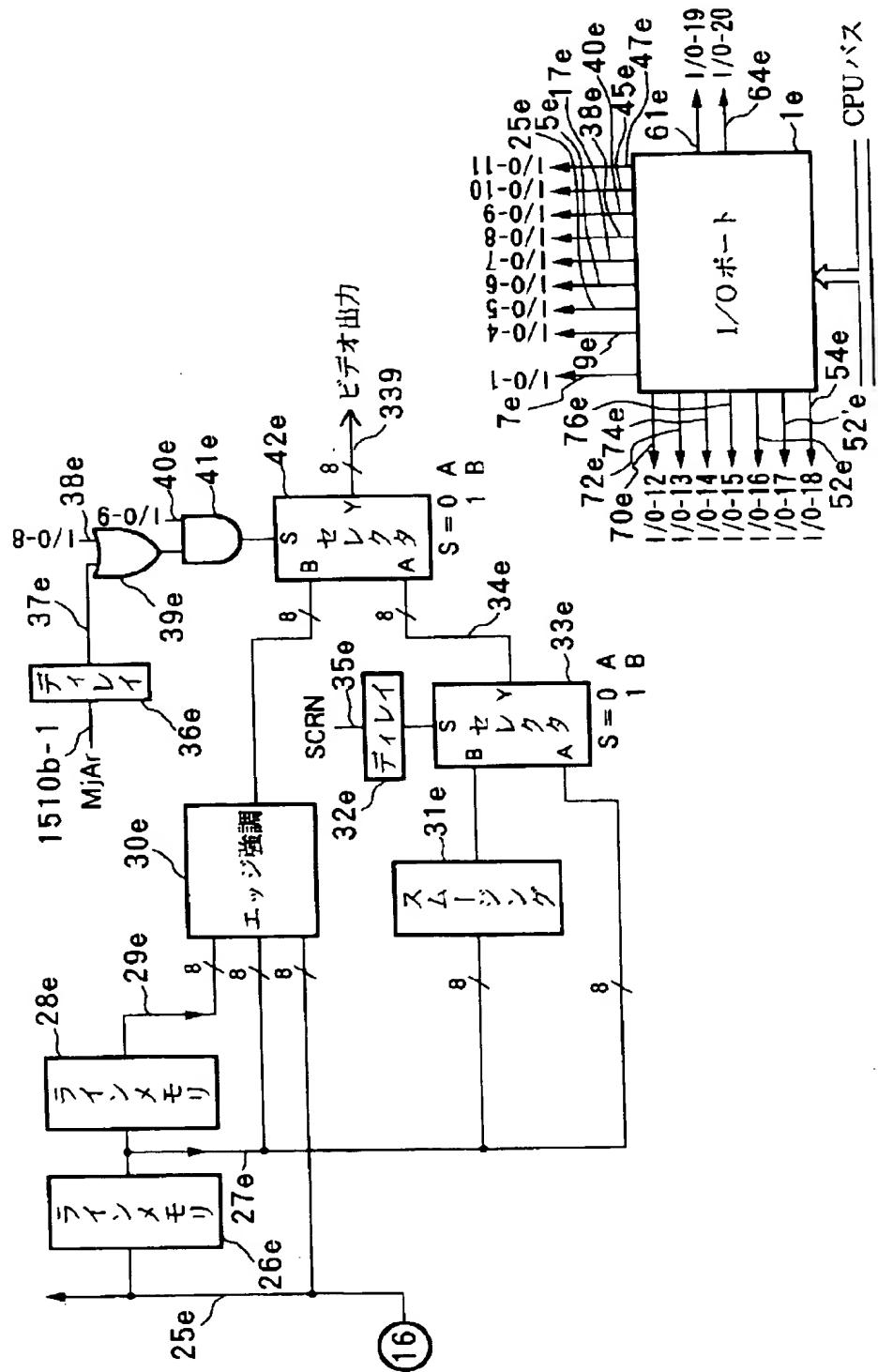
〔图22〕



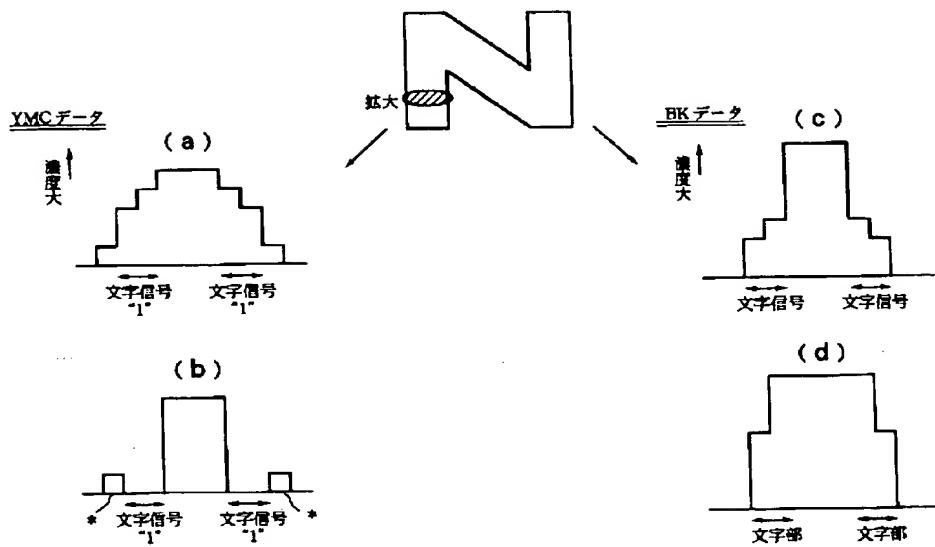
[図19]



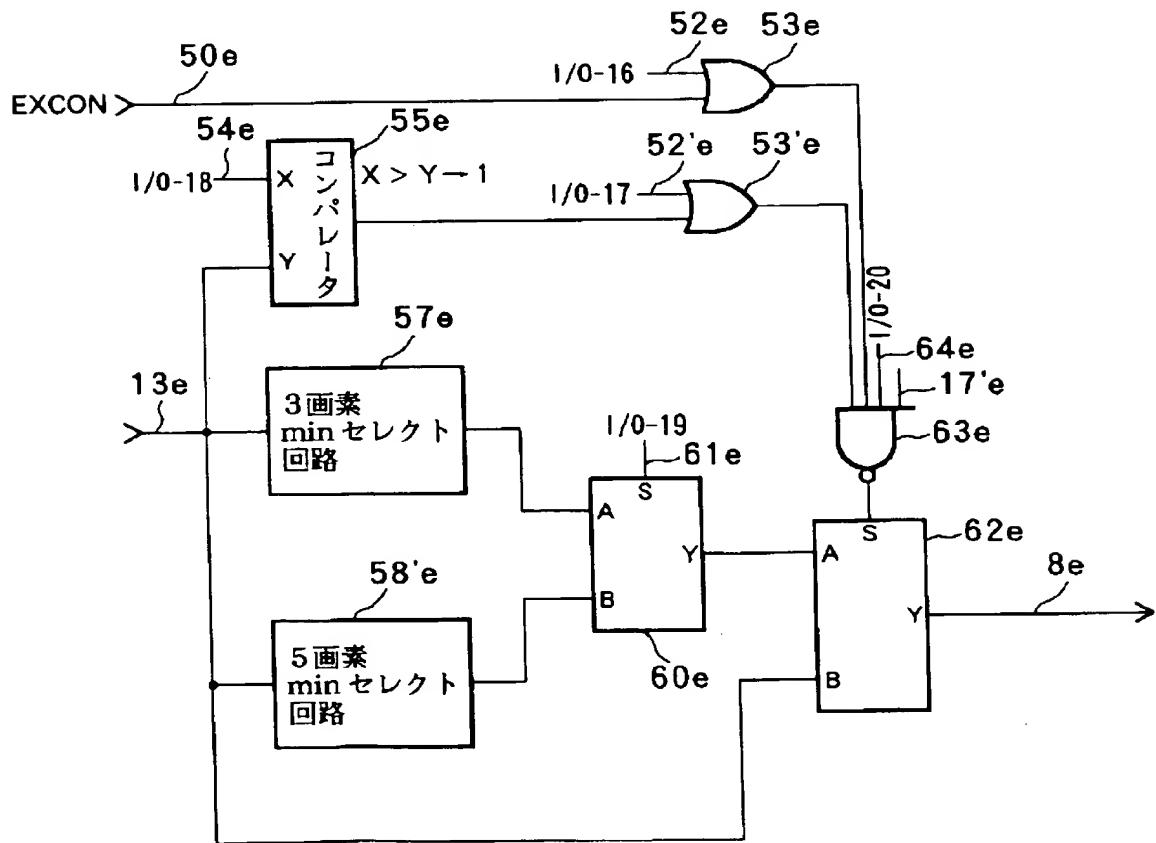
【図20】



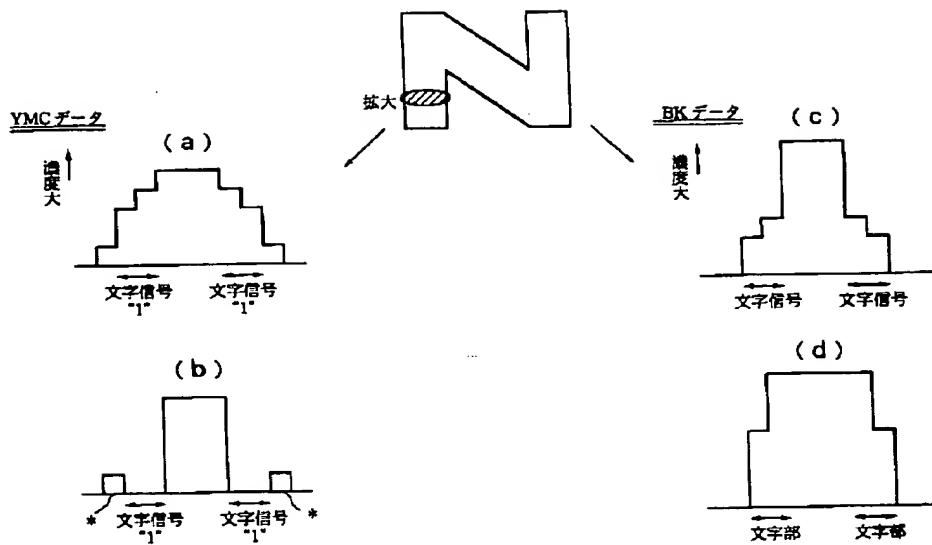
【図21】



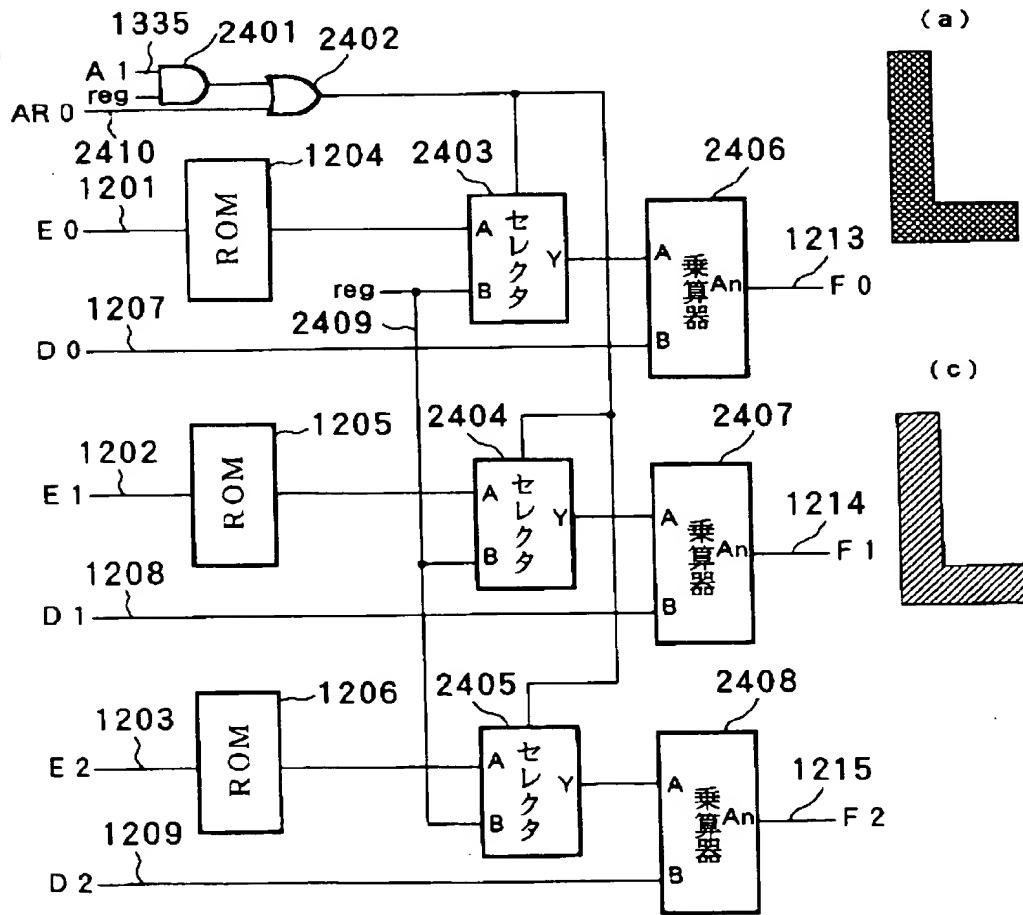
【図23】



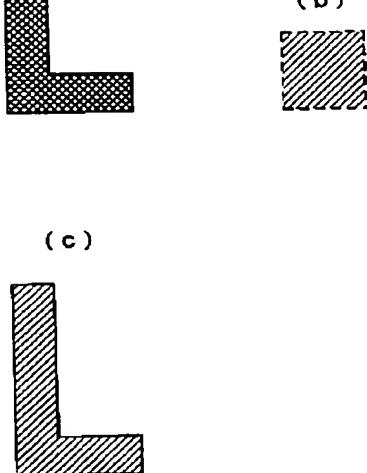
【図26】



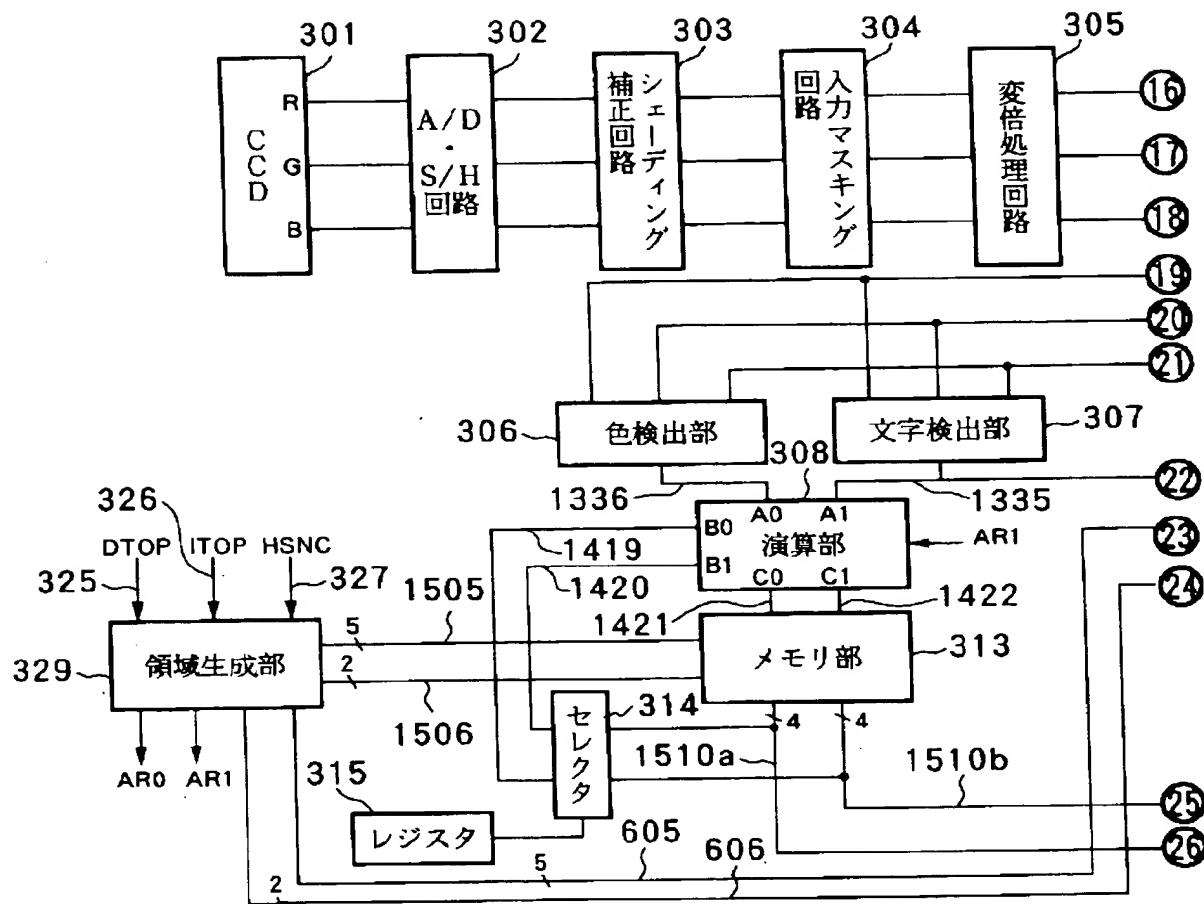
【図27】



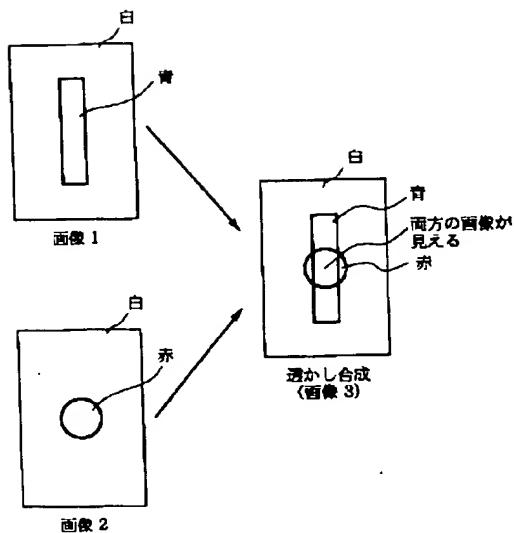
【図30】



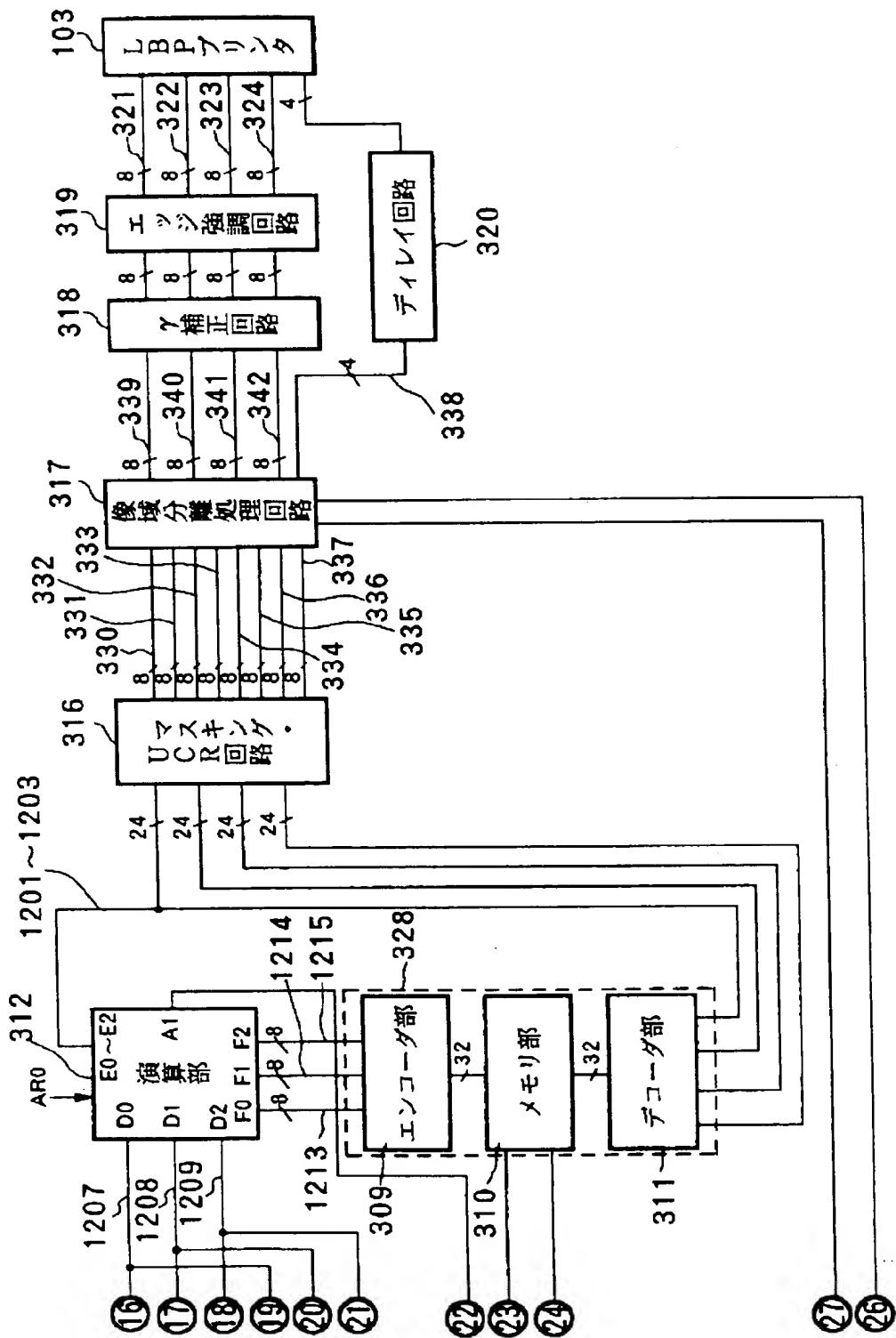
【図28】



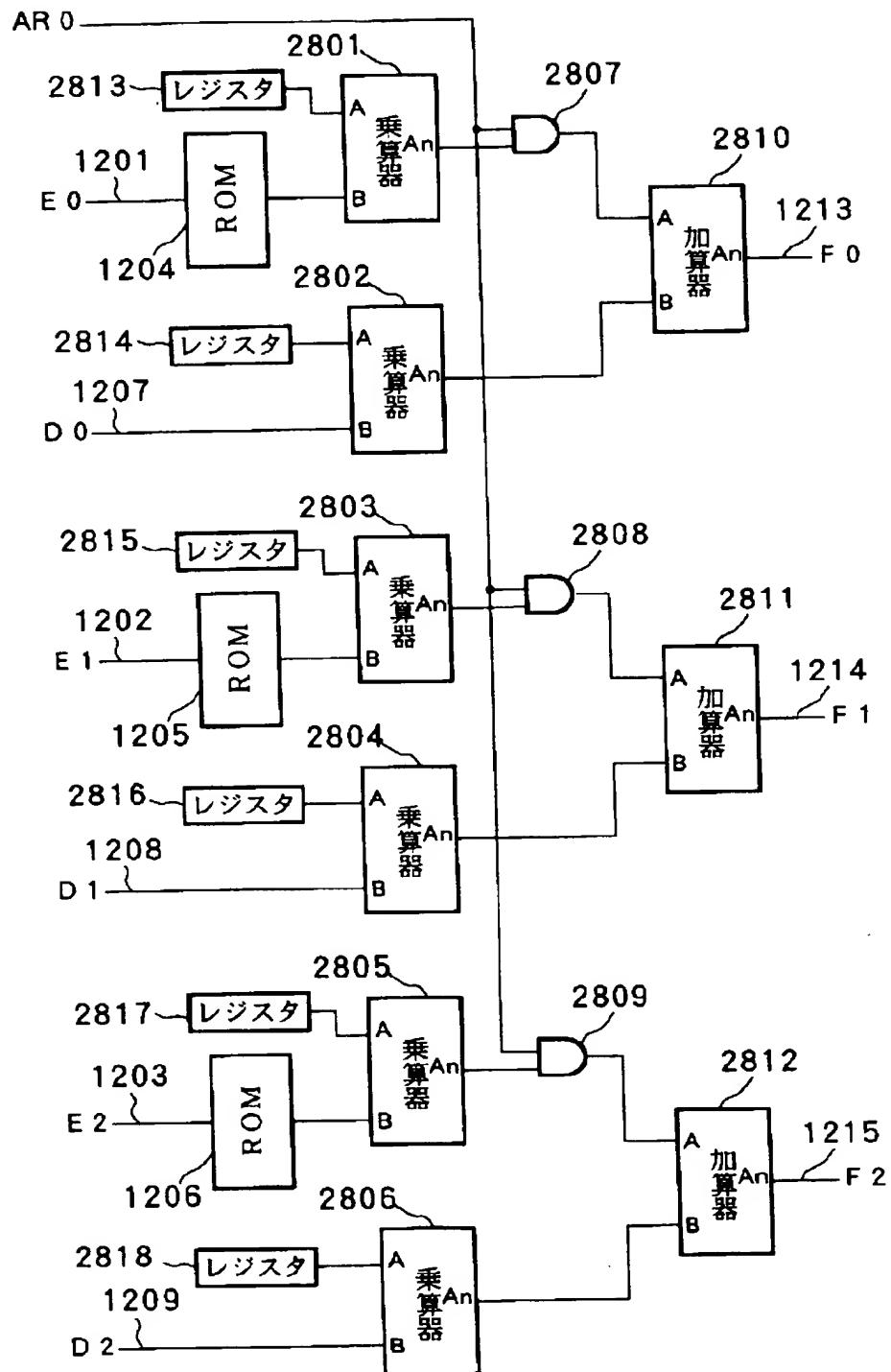
【図31】



【図29】



【図32】



フロントページの続き

(51) Int. Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
G 0 6 F 15/62	3 1 0	K 8125-5 L		
15/66	3 1 0	8420-5 L		
	4 5 0	8420-5 L		

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.